

BSNB 703-205-8000  
1248-0709PUSI  
Uratani et al.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

March 26, 2004  
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 3 1 日  
Date of Application:

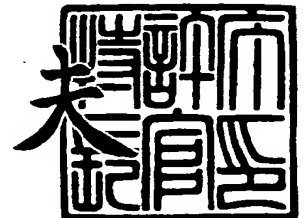
出 願 番 号                      特 願 2 0 0 3 - 0 9 7 0 0 7  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 9 7 0 0 7 ]

出      願      人                      シャープ株式会社  
Applicant(s):                      独立行政法人産業技術総合研究所

2 0 0 4 年    1 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 4 8 2 3

【書類名】 特許願

【整理番号】 03J00799

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/38

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 浦谷 宗宏

【発明者】

【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 高橋 栄一

【発明者】

【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 河西 勇二

【発明者】

【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 樋口 哲也

【発明者】

【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 村川 正宏

【特許出願人】

【持分】 060/100

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

## 【特許出願人】

【持分】 040/100

【識別番号】 301021533

【氏名又は名称】 独立行政法人産業技術総合研究所

## 【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

## 【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

## 【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

## 【手数料の表示】

【予納台帳番号】 003229

【納付金額】 12,600円

【その他】 「その他1」 国等以外のすべての者の持分の割合 6  
0 / 1 0 0 「その他2」 国等の委託研究の成果に係  
る特許出願（平成14年 度新エネルギー・産業技術総  
合開発機構「次世代半導 体材料・プロセス基盤技術開  
発」委託研究、産業活力 再生特別措置法第30条の適  
用を受けるもの）

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号タイミング調整装置、信号タイミング調整システムおよび信号タイミング調整量設定プログラム

【特許請求の範囲】

【請求項 1】

複数の調整電圧を発生する電圧発生部と、

集積回路の各回路ブロックにデータが入力されてから出力されるまでの遅延時間が各回路ブロック間でその平均値に近づくように設定された遅延時間調整量に応じた調整電圧を前記調整電圧から選択する電圧選択部と、

選択された調整電圧の値に応じて閾値電圧が変化するトランジスタによって信号の遅延時間を増減する遅延調整部とを備えていることを特徴とする信号タイミング調整装置。

【請求項 2】

前記遅延時間を測定する遅延測定部を備えていることを特徴とする請求項 1 に記載の信号タイミング調整装置。

【請求項 3】

前記遅延測定部は、

パルスを高速クロックに同期して発生し、前記パルスの発生タイミングを前記高速クロックの 1 クロック単位でシフトするパルス発生部と、

前記回路ブロックから出力されたデータを低速クロックに同期して取り込んで保持するラッチと、

前記回路ブロックから出力されたデータを前記パルスに同期して取り込んで保持するレジスタとを有していることを特徴とする請求項 3 に記載の信号タイミング調整装置。

【請求項 4】

前記トランジスタのウエルが同一基板に形成される他の回路のウエルから分離され、前記調整電圧が前記トランジスタのウエルに印加されることを特徴とする請求項 1 に記載の信号タイミング調整装置。

【請求項 5】

前記集積回路に内蔵されることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の信号タイミング調整装置。

**【請求項 6】**

前記遅延時間調整量を固定する固定部を備えていることを特徴とする請求項 5 に記載の信号タイミング調整装置。

**【請求項 7】**

請求項 1 ないし 6 のいずれか 1 項に記載の信号タイミング調整装置と、  
前記測定回路で測定された前記遅延時間の平均値を算出する平均値算出部と、  
前記遅延時間と算出された平均値との差が少なくなるように前記遅延時間調整量を設定する調整量設定部とを備えていることを特徴とする信号タイミング調整システム。

**【請求項 8】**

請求項 7 に記載の信号タイミング調整システムにおいて、コンピュータを前記平均値算出部、前記調整量設定部として機能させるための信号タイミング調整量設定プログラム。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は、CPU、ASIC、DSP、メモリ、アナログLSIなどの集積回路における信号タイミング調整に関するものである。

**【0002】**

**【従来の技術】**

従来、LSIのプロセスの超微細化によって、動作周波数の急激な向上が求められる一方で、配線抵抗による配線遅延時間が増大するという相反する現象が生じている。このため、LSIの動作周波数、消費電力などの特性を設計段階において同時に最適化することは非常に困難な状況になりつつある。特に最近の高性能LSIでは、消費電力削減が最重要課題であるため、設計段階にて消費電力削減のための設計を行い、ウエハプロセス工程終了後にタイミング調整を実施して動作周波数の最適化を行うケースが現れている。

## 【0003】

クロックスキュー調整に関する従来技術としては、例えば特許文献1ならびに非特許文献1および2に開示されている。

## 【0004】

図18および図19は、上記の米国特許および論文からクロックスキュー調整に関する技術を抜粋して示している。

## 【0005】

図18は、上記の従来技術のクロックスキュー検出および補償回路の概要を示している。図18において、2個のクロックドメインであるLOCAL CLOCK DOMAIN 1とLOCAL CLOCK DOMAIN 2とのクロックスキューの値はSKEW DETECTIONにおいて検出され、TESTER INTERFACEに転送される。また、GLOBAL CLOCK DUTY CYCLE CONTROLは、LSI全体に供給されるクロックのデューティサイクルの比率を調整する。

## 【0006】

図示しないテストでは、スキューの値をできる限り小さくするようにクロックスキュー補正コントロール回路COMP1 CONTROLまたはCOMP2 CONTROLの調整値を設定する。後述する図19の回路では、その設定値に基づいて、LOCAL CLOCK DOMAIN 1またはLOCAL CLOCK DOMAIN 2の立上り時間または立下り時間を調整することにより各クロックのタイミングを調整する。PROM COMP1 SETTINGおよびPROM COMP2 SETTINGは、それぞれテストによって与えられた値を、保存するためにPROMに固定的にプログラムする。

## 【0007】

図19は、図18のクロックスキュー補償回路の詳細を示している。

## 【0008】

図19において、PROGRAMMABLE DELAY BUFFER 200の前段は立下り時間の調整用に設けられ、後段は立上り時間の調整用に設けられている。前段および後段の回路は、各々1個のPMOSプルアップトランジスタ、8個のインバータ215, 225および8個のスイッチ（プルダウンプラスs0～s7）から構成されている。また、5-BIT CONTROL REGISTER 130および3-TO-8 DECODER 140は、

制御信号 (CONTROL BITS) をデコードして PROGRAMMABLE DELAY BUFFER 2 0 0 に与える部分であって、COMP1 CONTROL および COMP2 CONTROL に相当する。

【 0 0 0 9 】

この構成において、テストから与えられた調整値によって 8 個のスイッチのうち、何個のスイッチを ON させるかによって立下り時間および立上り時間の調整が行われる。

【 0 0 1 0 】

【特許文献 1】

米国特許第 6, 1 9 2, 0 9 2 号明細書 (2 0 0 1 年 2 月 2 0 日公開)

【 0 0 1 1 】

【非特許文献 1】

Nasser A. Kurd, Javed S. Barkatullah, Rommel O. Dizon, Thomas D. Fletcher, and Paul D. Madland, "A Multigigahertz Clocking Scheme for the Pentium(R) 4 Microprocessor" IEEE JOURNAL OF SOLID STATE CIRCUITS, VOL.36, NO.11, NOVEMBER, 2001, p1647-1653

【 0 0 1 2 】

【非特許文献 2】

Daniel Delekanes, Jonathan Douglas, Badari Kommandur, Marek Patyra, "Designing a 3GHz, 130nm, Pentium(R) 4 Processor", 2002 Symposium on VLSI Circuits Digest of Technical Papers

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、この調整方法においては、スイッチやインバータを多く使用するため、クロックスキューの調整に必要な回路の規模が大きくなるという問題がある。

【 0 0 1 4 】

また、この問題と関連して、調整の自由度 (調整範囲およびステップ) と回路規模の増大とのトレードオフの問題がある。例えば、図 1 9 の回路にて調整の自



由度（調整範囲またはステップ）を2倍向上するためには、スイッチの数を8個から16個に増やす必要があり、調整部分の回路規模が2倍になる。逆に、スイッチの数を減らせば、回路規模を小さくすることができるものの、調整範囲やステップが不十分であるために十分な調整ができないという不都合が生じる。

#### 【0015】

本発明は、上記の問題点に鑑みてなされたものであって、回路規模を増大させることなくクロックなどのタイミングを連続的にまたは微小間隔に調整することにより、上記の調整の自由度（調整範囲およびステップ）と回路規模とのトレードオフの問題を解決する信号タイミング調整装置を提供することを目的としている。

#### 【0016】

##### 【課題を解決するための手段】

本発明の信号タイミング調整装置は、上記の課題を解決するために、複数の調整電圧を発生する電圧発生部と、集積回路の各回路ブロックにデータが入力されてから出力されるまでの遅延時間が各回路ブロック間でその平均値に近づくように設定された遅延時間調整量に応じた調整電圧を前記調整電圧から選択する電圧選択部と、選択された調整電圧の値に応じて閾値電圧が変化するトランジスタによって前記遅延時間を増減する遅延調整部とを備えていることを特徴としている。

#### 【0017】

各回路ブロックの動作速度がそれぞれ異なっておれば、遅延時間もそれぞれ異なる。そこで、上記の構成では、まず、測定された各遅延時間に基づいて、外部装置などによって、各回路ブロックの遅延時間がそれらの平均値に近づくように遅延時間調整量が設定されると、電圧選択部によって、電圧発生部で発生した複数の調整電圧から、その遅延時間調整量に応じた調整電圧が選択される。すると、遅延調整部によって、選択された調整電圧の値に応じて前記信号の遅延時間の増減が調整される。

#### 【0018】

MOSトランジスタのウエル（または基板）電圧を変えることにより、MOS

トランジスタの閾値電圧を変化させることができることは既知の事実であるが、本発明では、この作用を遅延調整部に応用している。遅延調整部が、調整電圧の値に応じてトランジスタに対して閾値電圧を変化させると、次のように遅延時間が変化する。すなわち、閾値電圧の上昇によってトランジスタのON開始が遅れるために遅延時間が増加し、閾値電圧の低下によってトランジスタのON開始が早まるために遅延時間が減少する。

#### 【0019】

これにより、各回路ブロックの遅延時間がその平均値に近い値に調整される。このように、予め各回路ブロック間の差が小さくなるように設定された調整電圧の値に応じて信号の遅延時間を調整するので、調整パラメータが電圧のみとなる。それゆえ、調整電圧を連続的に変化させたり、調整電圧の数を増加させたりするだけで、調整範囲やステップを増加させることができる。

#### 【0020】

前記の信号タイミング調整装置においては、遅延時間を測定する遅延測定部を備えていることが好ましい。これにより、遅延時間の測定から、調整電圧の発生、調整電圧の選択および遅延時間の調整に至る処理を信号タイミング調整装置において一貫して行うことができる。

#### 【0021】

前記の信号タイミング調整装置において、前記遅延測定部は、パルスを高速クロックに同期して発生し、前記パルスの発生タイミングを前記高速クロックの1クロック単位でシフトするパルス発生部と、前記回路ブロックから出力されたデータを低速クロックに同期して取り込んで保持するラッチと、前記回路ブロックから出力されたデータを前記パルスに同期して取り込んで保持するレジスタとを有していることが好ましい。

#### 【0022】

上記の構成では、回路ブロックから出力されたデータが、パルス発生部で発生したパルスに同期してレジスタに取り込まれ保持される一方、低速クロックに同期してラッチに取り込まれる。ラッチは、低速クロックに同期してデータを取り込むことから、常に安定して正しいデータを取り込むことができる。そこで、こ

の正しいデータとレジスタに保持されたデータとを比較して、両者が一致していれば、レジスタにも正しいデータが保持されていたことになる。そして、その場合のラッチにデータが取り込まれたタイミングとレジスタに正しいデータが取り込まれたタイミングとで回路ブロックの遅延時間を測定することができる。

#### 【0023】

また、レジスタにデータを取り込むタイミングが高速クロックに同期したパルスで定まるので、回路ブロックからデータが出力されてから最短で高速クロック1クロック以内にそのデータをレジスタに取り込むことができる。それゆえ、遅延時間の特定を高速クロックの精度で行うことができる。

#### 【0024】

さらに、パルスの発生タイミングが高速クロックの1クロック単位でシフトする。これにより、レジスタのデータとラッチのデータとが一致していなければ、パルスをシフトさせることで、レジスタによるデータの取り込みタイミングを調整することで、両データが一致する時期を特定することができる。また、両データが一致していても、レジスタが回路ブロックによるデータの出力時点から最短のタイミングでデータを取り込むことができなければ、同様にパルスをシフトさせることで、上記の最短のタイミングを特定することができる。

#### 【0025】

前記の信号タイミング調整装置において、前記トランジスタのウエルが同一基板に形成される他の回路のウエルから分離され、前記調整電圧が前記トランジスタのウエルに印加されることが好ましい。遅延調整部のトランジスタのウエルを他の回路のウエルから分離させることにより、その遅延時間調整量に対応したウエル電圧値を他の回路と独立して印加することができる。

#### 【0026】

前記の信号タイミング調整装置は、いずれも前記集積回路に内蔵されることが好ましい。これにより、集積回路のパッケージや測定装置に起因する浮遊容量などの影響を受けることがなく、正確に遅延時間に測定することができる。

#### 【0027】

また、集積回路に内蔵された信号タイミング調整装置は、前記遅延時間調整量

を固定する固定部を備えていることが好ましい。これにより、集積回路の出荷後でも、外部装置から遅延時間調整量が与えられなくても、固定部により固定された遅延時間調整量を用いて遅延調整部による信号のタイミング調整を行うことができる。

#### 【0028】

本発明の信号タイミング調整システムは、前記のいずれかの信号タイミング調整装置と、前記遅延測定部によって測定された前記遅延時間の平均値を算出する平均値算出部と、前記遅延時間と算出された平均値との差が少なくなるように前記遅延時間調整量を設定する調整量設定部とを備えていることを特徴としている。

#### 【0029】

上記の構成では、信号タイミング調整装置における遅延測定部で測定された各回路ブロックの遅延時間が平均値算出部によって算出される。すると、調整量設定部によって、遅延時間調整量が遅延時間と算出された平均値との差が少なくなるように調整される。これにより、信号タイミング調整装置に与える遅延時間調整量が生成される。このように、複雑な演算処理を必要とする平均値算出部および調整量設定部を信号タイミング調整装置と別途設けることにより、タイミング調整処理を効率的に行うことができる。

#### 【0030】

本発明の信号タイミング調整量設定プログラムは、前記の信号タイミング調整システムにおいて、コンピュータを前記平均値算出部、前記調整量設定部として機能させるので、LSI テスタなどの外部装置によって、容易に遅延時間調整量や設定値を設定することができる。

#### 【0031】

##### 【発明の実施の形態】

本発明の実施の一形態について図1ないし図17に基づいて説明すれば、以下の通りである。

#### 【0032】

図2は、本発明におけるタイミング調整システムの構成を示している。

**【0033】**

図2に示すように、本タイミング調整システムは、集積回路としてのLSI1における各ブロックに供給されるクロック間のタイミング調整およびクロック波形の調整を行う。このタイミング調整システムは、調整の対象となるLSI1に内蔵されたタイミング調整部10と、LSIテスト2とによって構成されている。

**【0034】**

タイミング調整部10は、各ブロックにおけるクロックの遅延時間をタイミング情報としてLSIテスト2に供給する。また、タイミング調整部10は、LSIテスト2から与えられるテストパターンに基づいて遅延時間の測定を行う。さらに、タイミング調整部10は、LSIテスト2から与えられるウェル電圧調整値に基づいて、クロックのタイミングを調整用のインバータを構成するNMOSトランジスタおよびPMOSトランジスタのウェル電圧を設定する。

**【0035】**

LSIテスト2は、LSI1の論理機能、電気特性等を測定する試験装置であって、その測定のために、パターン発生器、タイミング発生器、波形整形器、論理比較器、電源ユニット等からなるテストユニットを備えている。また、LSIテスト2は、プログラムにしたがって設定された条件で自動的に測定を行うために、テストユニットを制御する制御部を備えている。この制御部は、MPU (Micro Processor) を中心とするコンピュータ機能を有する部分である。

**【0036】**

また、上記のLSIテスト2は、調整プログラムが組み込まれることによって、タイミング調整のための処理を行う。LSIテスト2は、平均値算出部21と、ウェル電圧値設定部22と、調整制御部23とを調整プログラムによって実現される機能ブロックとして有している。これらの機能ブロックは、前述のMPU等のハードウェアを利用してタイミング調整のための各種の処理を行う。

**【0037】**

平均値算出部21は、前記のタイミング調整部10からのタイミング情報に基づいて遅延時間の平均値を算出する。調整量設定部としてのウェル電圧値設定部

22は、タイミング調整部10に与える前記のウエル電圧調整値を設定する。調整制御部23は、各部21, 22による処理の制御や、動作周波数の評価などを行う。また、調整制御部23は、後述するサンプリングパルス発生回路131（図8参照）に与えるサンプリングパルス設定値を発生する。上記の各部21～23が行う処理については、後に詳しく説明する。

#### 【0038】

なお、上記の調整プログラムは、記録媒体に格納された状態で提供されてもよい。記録媒体は、調整プログラムを記録可能であり、かつコンピュータ（LSIテスト2のコンピュータ部）により記録された調整プログラムが読み取り可能であれば、書き換え（書き込み）可能か否か、揮発性か否か、記録方法および形状を問わない。記録媒体の一例として、磁気テープやカセットテープなどのテープ、あるいは、フレキシブルディスクやハードディスクなどの磁気ディスク、または、CD-ROMや光磁気ディスク（MO）、ミニディスク（MD）やデジタルビデオディスク（DVD）などのディスクが挙げられる。また、記録媒体は、ICカードや光カードのようなカード、あるいはマスクROM、EPROM、EEPROM、フラッシュROMなどのような半導体メモリであってもよい。

#### 【0039】

図3は、上記のタイミング調整システムが行うタイミング調整の手順を大まかに示したフローチャートである。

#### 【0040】

図3に示すように、まず、タイミング調整部10でLSI1における各回路ブロックの遅延時間を測定し（S1）、その結果をLSIテスト2に伝える。LSIテスト2では、各回路ブロック間のデータ伝送順序などを考慮しながらLSI1全体の動作周波数を最高にするための回路ブロック間の遅延時間の貸し借りを計算し、その結果に基づいて、タイミング調整部に供給するウエル電圧調整値を生成する（S2）。タイミング調整部10は、そのウエル電圧調整値に基づいて、後述するクロックタイミング調整回路CTA1～3（図1参照）に与えるウエル電圧値を選択する（S3）。

#### 【0041】

本タイミング調整システムは、上記のような処理を行うことによって、LSI 1における各回路ブロック間のクロックタイミングの調整を行い、動作周波数の平均値を下回る回路ブロックの周波数を、上記の平均値を上回る余裕のある回路ブロックから補填する。これにより、各回路ブロックの動作周波数が平均化され、LSI 1全体の動作周波数を高めることができる。

#### 【0042】

図1は、本タイミング調整システムにおけるLSI 1側のタイミング調整部10の構成を示している。

#### 【0043】

図1に示すように、タイミング調整部10は、調整電圧発生回路11、セクタ12、プログラマブルタイミング発生回路13、クロックタイミング調整回路CTA1～CTA3および測定レジスタMR1～MR3を備えている。クロックタイミング調整回路CTA1～CTA3および測定レジスタMR1～MR3は、説明の便宜上3個ずつ設けられているが、回路ブロックCB1～CB3の個々に対応して設けられるので、それらの数は3個に限定されない。

#### 【0044】

なお、クロックタイミング調整回路CTA1～CTA3、測定レジスタMR1～MR3、比較回路CMP1～CMP3および回路ブロックCB1～CB3については、代表して説明する場合、それぞれCTA、MR、CMP、CBの符号を用いる。また、“回路ブロック”という呼称については、説明の便宜上、単に“ブロック”と称することもある。

#### 【0045】

電圧発生部としての調整電圧発生回路11は、タイミング調整に必要な種々の電圧を発生させる回路である。電圧選択部としてのセクタ12は、LSI テスタ2からのウエル電圧調整値（遅延時間調整量）に基づいて、調整電圧発生回路11で発生した種々の電圧から1つを選択してクロックタイミング調整回路CTA1～3に与える。クロックタイミング調整回路CTA1～3は、セクタ12からのウエル電圧により各回路ブロックCB1～3に供給するクロックのタイミング調整を行う回路である。

**【0046】**

プログラマブルタイミング発生回路13は、PLLなどで発生させた高速クロックHCLKからクロックタイミング調整回路CTA1～3に供給するシステムクロックSYCLKや測定レジスタMR1～MR3に供給するサンプリングパルスSMPを発生する回路である。遅延測定部としての測定レジスタMR1～MR3は、各回路ブロックCB1～CB3にデータが入力されてから出力されるまでの、実際のデータの処理に要する遅延時間を測定して、LSIテスト2にその遅延時間をタイミング情報として提供する回路である。

**【0047】**

以下に、図1に示した各回路について詳しく説明する。

**【0048】**

図4(a)および(b)は、クロックタイミング調整回路CTA1～3の構成の一例を示している。図4(a)は、クロックタイミング調整回路CTA1～3に共通する構成としてクロックタイミング調整回路CTAを示している。

**【0049】**

図4(a)に示すように、クロックタイミング調整回路CTAは、入力電圧VINを反転させて出力電圧VOUTを得る回路である。この出力電圧VOUTは、負荷(各回路ブロックCB1～CB3)としての静電浮遊容量Cに与えられる。上記のクロックタイミング調整回路CTAは、直列接続された5段のインバータ31～35から構成されている。このうち、インバータ32, 33によって調整部30が構成されている。

**【0050】**

図5は、クロックタイミング調整回路CTAにおける要部(調整部30)のデバイス構造を示す断面図である。

**【0051】**

図4(b)および図5に示すように、インバータ31, 32は、NMOSトランジスタTRNとPMOSトランジスタTRPとが直列に接続されたCMOS構造をなしている。NMOSトランジスタTRNのPウェル41にはPウェル電圧VPWが印加され、PMOSトランジスタTRPのNウェル42にはNウェル電



圧  $V_{NW}$  が印加される。

#### 【0052】

NMOS トランジスタ  $TR_N$  の  $P$  ウエル 41 および PMOS トランジスタ  $TR_P$  の  $N$  ウエル 42 は、一体に形成されているが、これらと同一基板に形成される他の回路のウエル 43, 44 から分離されており、 $P$  ウエル 41 と  $N$  ウエル 42 とにそれぞれ  $P$  ウエル電圧  $V_{PW}$  と  $N$  ウエル電圧  $V_{NW}$  とを他の回路から独立して印加することができる。NMOS トランジスタ  $TR_N$  および PMOS トランジスタ  $TR_P$  は、 $P$  ウエル電圧  $V_{PW}$  および  $N$  ウエル電圧  $V_{NW}$  の値によって信号のタイミング特性が変わる。

#### 【0053】

ここで、 $N$  ウエル電圧  $V_{NW}$  および  $P$  ウエル電圧  $V_{PW}$  とインバータ 32, 33 の遅延特性について説明する。

#### 【0054】

通常、CMOS インバータにおける NMOS トランジスタの  $P$  ウエルには  $GND$  レベルの電位が付与される。これに対して、 $P$  ウエルに正電圧を印加した場合には、閾値電圧が低下して CMOS インバータの遅延時間が減少し、逆に  $P$  ウエルに負電圧を供給した場合には、閾値電圧が上昇して CMOS インバータの遅延時間が増加する。また、通常、CMOS インバータにおける PMOS トランジスタの  $N$  ウエルには  $V_{DD}$  (電源電圧) レベルの電位が付与される。これに対して、 $N$  ウエルに負電圧を印加した場合には、閾値電圧の絶対値が低下して CMOS インバータの遅延時間が減少し、逆に  $N$  ウエルに正電圧を印加した場合には、閾値電圧の絶対値が上昇して CMOS インバータの遅延時間が増加する。このような現象は、閾値電圧の変化に伴って電流値が変化することによりトランジスタの動作速度が変化することで生じる。また、ウエル電圧とインバータの遅延時間とは、ほぼ比例関係にある。

#### 【0055】

最近の LSI では、プロセスの微細化に伴う電源電圧の低下が著しいため、電源電圧に対する閾値電圧の占める割合が大きい。従って、閾値電圧を変動させると、トランジスタ遅延特性の変動による効果も大きくなる。

## 【0056】

図6は、調整電圧発生回路11およびセクタ12の構成を示している。

## 【0057】

図6に示すように、調整電圧発生回路11は、分割抵抗回路を有しており、 $-1.0\text{V}$ 、 $0\text{V}$ 、 $1.2\text{V}$ 、 $3.3\text{V}$ の入力電圧から、 $-1.0\text{V}\sim 2.2\text{V}$ の範囲で $0.1\text{V}$ ずつ異なる32の調整電圧を発生する。調整電圧発生回路11は、具体的には、 $-1.0\text{V}\sim 0\text{V}$ の範囲の調整電圧を $-1.0\text{V}\sim 0\text{V}$ の入力電圧に基づいて発生し、 $0.1\text{V}\sim 1.2\text{V}$ の調整電圧を $0\text{V}\sim 1.2\text{V}$ の入力電圧に基づいて発生し、 $1.3\text{V}\sim 2.2\text{V}$ の調整電圧を $0\text{V}\sim 3.3\text{V}$ の入力電圧に基づいて発生する。調整電圧発生回路11の抵抗分割回路は、LSIプロセス工程によってポリシリコンなどで形成可能であり、高精度の電圧を容易に発生することができる。

## 【0058】

なお、上記の例では、LSI1の電源電圧として、内部回路用電源電圧が $1.2\text{V}$ であり、I/O用電源電圧が $3.3\text{V}$ である場合を想定しており、これらの電圧を調整電圧発生回路11の入力電圧に利用している。また、 $-1.0\text{V}$ を発生するための負電源は、スイッチドキャパシタ技術を用いたブートストラップ回路などにより簡単に構成することができる。

## 【0059】

電圧選択部としてのセクタ12は、調整電圧発生回路11で発生した調整電圧から1つを選択することにより、前述のNウエル電圧VNWおよびPウエル電圧VPWをクロックタイミング調整回路CATに与えるため、 $n$ 個のセクタ回路121と $n$ 個のセクタ回路122とを有している。セクタ回路121は、LSIテスト2からの4ビットのウエル電圧調整値に基づいて、 $0.7\text{V}\sim 2.2\text{V}$ の範囲の16の調整電圧から1つを選択してNウエル電圧VNW (VNW1 $\sim$ VNWn) として出力する。一方、セクタ回路122は、4ビットのウエル電圧調整値に基づいて、 $-0.1\text{V}\sim 0.5\text{V}$ の範囲の16の調整電圧から1つを選択してPウエル電圧VPW (VPW1 $\sim$ VPWn) として出力する。ここで、 $n$ は、クロックタイミング調整回路CTAの数(回路ブロックCBの数)であ

り、図1の例では3となる。

#### 【0060】

図7は、セクタ回路121, 122の構成を示す回路図である。

#### 【0061】

図7に示すように、セクタ回路121, 122は、トランジスタTRと、抵抗Rと、固定部としてのヒューズFとを、調整電圧発生回路11からの調整電圧と同数（上記の例では16個）有している。トランジスタTRは、入力端に調整電圧が個々に入力され、ゲートに抵抗Rの一端とヒューズFの一端とが接続されている。抵抗Rの他端には定電圧（例えば、3.3V）が印加され、ヒューズFの他端にはGNDレベルの電位が付与されている。

#### 【0062】

上記のように構成されるセクタ回路121, 122では、LSI1の出荷前に、最終的に決定したウエル電圧調整値に応じていずれか1つのヒューズFをカットすることによって、そのヒューズFに接続されるトランジスタTRのゲートがHighレベルとなる。また、カットされないヒューズFが接続されたトランジスタTRのゲートは、Lowレベルとなる。このように、ヒューズFをカットすることでウエル電圧調整値がプログラムされるので、LSI1の出荷後もウエル電圧調整値を保持できる。

#### 【0063】

なお、ウエル電位の保持のためだけにウエルへ電圧を印加すればよいので、ウエルへの電流供給能力は小さくてもよい。このため、バッファ回路等は不要であり、その結果として回路規模を小さくすることができる。

#### 【0064】

また、電圧選択部としては、上記のセクタ12による構成以外に、例えばウエル電圧調整値を連続して変化する周波数で与えられ、その周波数を電圧に変化する回路を有する構成が考えられる。このような電圧選択部を用いることにより、クロックのタイミングを連続的に調整することが可能になる。

#### 【0065】

図8はプログラマブルタイミング発生回路13の構成を示しており、図9およ

び図10はタイミング調整部10における遅延時間測定時の動作タイミングを示している。

#### 【0066】

図8に示すように、プログラマブルタイミング発生回路13は、同期式ダウンカウンタ131と、サンプリングパルス発生回路132とを有している。

#### 【0067】

同期式ダウンカウンタ131は、LSI1内のPLL回路などから供給される高速クロックHCLKを2分周、4分周、8分周、16分周、32分周、64分周、128分周して、図9に示す分周クロック（ $1/2\text{CLK}$ 、 $1/4\text{CLK}$ 、 $1/8\text{CLK}$ 、 $1/16\text{CLK}$ 、 $1/32\text{CLK}$ 、 $1/64\text{CLK}$ 、 $1/128\text{CLK}$ ）を出力する。これらの7つの分周クロックは、比較データ（比較値）として一致検出回路133に与えられる。

#### 【0068】

パルス発生部としてのサンプリングパルス発生回路132は、LSIテスト2の調整制御部23から与えられたサンプリングパルス設定値に基づいて、同期式ダウンカウンタ131からの各クロックから後述するT125～T0（図9参照）のタイミングで高速クロックHCLKの1周期をパルス幅とするサンプリングパルスSMPを発生する回路である。このような回路は、例えば、上記のサンプリングパルスSMPを発生して、それらから1つを選択するというような動作を行えばよく、論理回路を適宜組み合わせることによって構成される。

#### 【0069】

測定レジスタMR1～MR3は、回路ブロックCB1～CB3で処理されたデータを上記のサンプリングパルスSMPの立ち上がりのタイミングで取り込んで保持するレジスタである。

#### 【0070】

比較回路CMP1は、測定レジスタMR1に保持されたデータと、回路ブロックCB2のデータラッチDL2に取り込まれるデータとを比較し、両者の一致（GO）、不一致（NG）をLSIテスト2に通知する回路である。比較回路CMPn（nは整数）は、測定レジスタMRnに保持されたデータと、回路ブロック

CB<sub>n</sub>の次の回路ブロックCB<sub>n+1</sub>のデータラッチDL<sub>n</sub>に取り込まれるデータとを比較し、その結果をLSIテスト2に通知する。比較回路CMPは、両データを図9に示すT126のタイミングで比較する。また、比較回路CMPは、例えば、一致の結果をHigh（一致検出パルスDET）で出力し、不一致の結果をLowで出力する。

#### 【0071】

ここで、上記のように構成されるタイミング調整部10における遅延時間の測定動作について図9および図10を参照しながら説明する。図9および図10は、回路ブロックにおいて加算演算を行う場合の遅延時間測定動作を示している。

#### 【0072】

全回路ブロックCBの遅延時間測定は、遅延時間調整の前段階として行われるので、遅延時間の測定時にはクロックのタイミング調整は行われず。また、遅延時間の測定段階では、全体の回路を確実に動作させるため、動作のタイミングを司るシステムクロックSYCLKは低速に設定される。

#### 【0073】

以降、説明を具体化するために、回路ブロックCB1はAおよびBの2値の加算演算を行うものとする。

#### 【0074】

図9に示すように、各サイクル（システムクロックSYCLKの1周期）は、システムクロックSYCLKに同期しており、図1に示す入力データは、システムクロックSYCLKに同期してデータラッチDL1に取り込まれる（データA、B）。これらのデータは回路ブロックCB1において加算されて、その加算値（A+B）が出力される（回路ブロックCB1出力）。

#### 【0075】

ただし、最初の回路ブロックCB1では遅延時間が不明であるため、どのタイミング（サンプリングパルスSMP）で測定レジスタMR1に取り込めばよいかは不明である。

#### 【0076】

回路ブロックCB1から出力された加算値（A+B）のデータは、次のサイク

ルの初めにデータラッチDL2に取り込まれる。システムクロックSYCLKの周期は十分長いので、このとき、データラッチDL2には必ず正しいデータが取り込まれる。

#### 【0077】

例えば、図9に示すようにT124（サンプリングパルスSMPと同じタイミング）にて、データが測定レジスタMR1に取り込まれた場合、次のサイクルの最初の時間帯において、データラッチDL2に取り込まれたデータと測定レジスタMR1に保持されたデータとが一致する期間が存在する。したがって、この期間に、1サイクルの最初の比較タイミング（T126）にて比較回路CMP1によって、両データをサンプルして比較すれば、一致検出パルスDETが出力される。これにより、両データが一致していること、すなわち測定レジスタMR1が正しいデータを取り込んだことが判明する。この結果は、LSIテスト2に通知される。

#### 【0078】

なお、1サイクルの最初の比較タイミングをT126とするのは、T127では、データラッチDLがデータを取り込んだばかりでデータが安定していないからである。

#### 【0079】

次に、タイミング調整部10において、測定レジスタMRに正しいデータを取り込むタイミングを決定する動作について説明する。

#### 【0080】

図10に示すように、まず、プログラマブルタイミング発生回路13から、サンプリングパルスSMPとしてT125が与えられる。現サイクルにおいて、回路ブロックCB1から出力されたデータは、T125（サンプリングパルスSMP）の立ち上がりで取り込まれる。このとき、測定レジスタMR1には、加算値（A+B）の前に出力された前データが取り込まれている。この前データは、1サイクルの間、すなわち次のサイクルのT125の立ち上がりまで保持される。

#### 【0081】

一方、データラッチDL2には、回路ブロックCB1の正しい演算結果である

A+Bが入力される。このため、データラッチDL2に取り込まれたデータと測定レジスタMR1に保持されたデータとが、比較回路CMP1によって、次のサイクルにおけるT126で比較された結果、不一致と判定される。LSIテスト2は、この不一致の結果を受けると、調整制御部23によって、サンプリングパルスSMPを高速クロックHCLKの1クロック分遅らせる指示をサンプリングパルス発生回路132に与える。

#### 【0082】

サンプリングパルス発生回路132は、この指示を受けると、サンプリングパルスSMPとしてT124を出力する。すると、図9に示すように、測定レジスタMR1には、回路ブロックCB1から正しい加算値(A+B)が取り込まれる。したがって、データラッチDL2に取り込まれたデータと測定レジスタMR1に保持されたデータとが、比較回路CMP1によって、次のサイクルにおけるT126で比較されると、一致の結果が得られる。これにより、測定レジスタMR1が回路ブロックCB1から出力されたデータを取り込む最も早いタイミングで一致が検出されるので、正確な遅延時間の検出が可能になる。

#### 【0083】

そして、LSIテスト2は、調整制御部23によって、一致検出パルスDETのTdataの期間を遅延時間として認識することができる。このとき、LSIテスト2は、現在、どのサンプリングパルスSMPのタイミングでテストを実行しているかということや、同期式ダウンカウンタ131からの各種のクロックを把握しているので、これらのタイミングから容易に遅延時間を認識することが可能である。

#### 【0084】

ところで、最初に設定したサンプリングパルスSMPによって正しいデータが測定レジスタMRに取り込まれることがある。しかしながら、そのデータがどのタイミングで取り込まれたかは不明である。したがって、この場合には、調整制御部23によって、高速クロックHCLKの1クロック分進ませる指示をサンプリングクロック発生回路132に与える。この動作を比較回路CMPによる一致の結果が得られるまで繰り返すことにより、最も速いタイミングで遅延時間が

測定される。

#### 【0085】

このように、遅延時間の測定においては、サンプリングパルス SMP を高速クロック H S C L K の 1 クロックずつシフトさせながら、測定レジスタ MR に保持されたデータと、時間的に余裕のあるシステムクロック S Y S C L K にて次の回路ブロック C B のデータラッチ D L に取り込まれたデータとを比較している。これにより、高速クロック H S C L K のタイミングに基づいて高精度に遅延時間を測定することができる。

#### 【0086】

なお、いずれの回路ブロック C B の遅延時間も、最低で高速クロック H S C L K の数クロック分はあるとすれば、T 1 2 5 からサンプリングパルス SMP の発生を開始させることにより、図 10 に示すように、最初はどの回路ブロック C B についても必ず不一致の結果が得られる。それゆえ、その次に T 1 2 4, T 1 2 3, … というように順次タイミングを遅らせて 2 つのデータを比較することができる。これにより、上記のように、最初に設定したサンプリングパルス SMP によって一致の結果が得られるようなことはないので、測定のシーケンスを単純化することができる。

#### 【0087】

また、サンプリングパルス SMP の発生タイミングとしては、前述のように、T 1 2 5 ~ T 0 が用いられるが、T 1 2 6 は使用できない。これは、以下の理由によるものである。T 1 2 6 のタイミングでデータを取り込んだ場合、そのデータは次のサイクルの T 1 2 6 まで保持される。一方、比較回路 C M P による一致、不一致のテストは、T 1 2 6 のタイミングで行われるため、T 1 2 6 の立ち下がり時点で測定レジスタ MR に保持されたデータが不安定になる。

#### 【0088】

このように、タイミング調整部 10 では、回路ブロック C B 毎に遅延時間を測定している。これにより、後に述べるブロック間タイミング調整の基礎データの収集が可能となる。

#### 【0089】



なお、タイミング調整部 10 は、LSI 1 に内蔵されているが、外部装置として LSI 1 と独立して設けられていてもよい。しかしながら、タイミング調整部 10 が外部装置として設けられる構成では、LSI 1 から外部装置に情報を伝送するときに LSI パッケージや測定系による浮遊容量の影響を受けるおそれがある。これに対し、タイミング調整部 10 が LSI 1 に内蔵されていることにより、そのような測定系などの影響を受けることなく、回路ブロック CB 内部の遅延時間を正確に測定することができる。

#### 【0090】

続いて、LSI テスタ 2 における平均値算出部 21、ウエル電圧値設定部 22 および調整制御部 23 による処理について説明する。

#### 【0091】

図 11 は、上記の各部 21～23（調整プログラム）による処理の手順を示すフローチャートである。

#### 【0092】

まず、平均値算出部 21 により、調整処理を行うための目標値の目安として取得した各回路ブロックの遅延時間の平均値および偏差を算出する（S11）。次いで、ウエル電圧値設定部 22 により、各回路ブロックの遅延時間が平均化される方向に各回路ブロックの遅延時間調整値をある程度ランダムに設定し、それらの値に対応する各ウエル電圧値を設定する（S12）。

#### 【0093】

そして、LSI 1 では、ウエル電圧値設定部 22 から上記のように設定されたウエル電圧値に応じたウエル電圧調整値が与えられると、そのウエル電圧調整値に基づいてクロックタイミング調整回路 CTA1～CTA3 によるクロックタイミングの調整が行なわれる。その状態で、測定レジスタ MR1～MR3 による遅延時間の調整が行なわれると、平均値算出部 21 により、各回路ブロック CB1～CB3 の遅延時間に基づいて再び平均値および偏差を算出する（S13）。さらに、ウエル電圧値設定部 22 により、各回路ブロック CB1～CB3 の遅延時間が平均化される方向ではあるが、各回路ブロック CB1～CB3 の遅延時間調整値を前回と異なる値に設定し、それらの値に対応する各ウエル電圧値を設定す

る (S14)。

#### 【0094】

以後、調整制御部23により、S14ないしS16が所定回数繰り返されたかを確認する (S15)。所定回数の処理が繰り返された結果、各回路ブロックCB1～CB3に対して最適な動作速度を与えるウエル電圧値の組み合わせが決定する (S16)。

#### 【0095】

上記の処理において、調整開始時には、最適なウエル電圧値が明確でないために、まずランダムな遅延時間の調整を行なう。このときの遅延時間調整値の設定は、遺伝的アルゴリズムなどの手法が用いられる。そして、これ以降は、その調整値に対する各回路ブロックCB1～CB3の遅延時間に基づいて以前と異なる調整値を設定することにより遅延時間の調整が行われる。このような調整値の変更により、直ちに良い結果が得られなくても、複数回同様な処理を繰り返すことにより、最終的に得られた最適なウエル電圧調整値がLSI1にプログラムされる。

#### 【0096】

調整値の設定については、具体的には、例えば、回路ブロックCB1の遅延時間が60ns (16.7MHz)であり、回路ブロックCB2の遅延時間が40nsである場合、平均値算出部21により算出された遅延時間の平均値は50ns (20MHz)であり、それぞれの偏差は10nsである。理想的には、この偏差の10nsを遅延時間の調整値として、ウエル電圧値設定部22により、回路ブロックCB1の遅延時間から減じ、回路ブロックCB2の遅延時間に加えればよい。

#### 【0097】

図12は、試作後のあるLSIのn個のブロックの遅延時間を上記のような遅延時間の調整処理前後の動作周波数の比較を示している。

#### 【0098】

図12に示すように、初期状態では、各ブロックの遅延時間が大きくばらついており、各ブロックの動作周波数の平均値が高くても、最も動作の遅い (遅延時

間の長い) 第5ブロックによって、このLSIの動作周波数(仕様値)が決定される。そこで、前述の処理によって、動作の速いブロックと動作の遅いブロックとの間で遅延時間の貸し借り(調整)が行われた結果、第5ブロックの動作周波数が上記の平均値近くまで高められる。従って、このLSIの動作周波数(仕様値)も同様に、調整前の値よりも高くなる。調整制御部23は、遅延時間を収集するときに、併せてLSI1の各ブロックの動作周波数も収集して、動作周波数が最高値になったか否かを確認(評価)する。

#### 【0099】

なお、前述の調整プログラムによる処理においては、測定された遅延時間に基づいて最適な遅延時間の配分を与えるようにウエル電圧値を調整することを繰り返す。しかしながら、本タイミング調整システムにおいては、遅延時間に基づいてウエル電圧値を調整することにより動作周波数を高めることができれば、上記のように平均値の算出からウエル電圧値の調整に至る処理を繰り返すことに限定されない。

#### 【0100】

例えば、遅延時間の貸し借りの対象となるブロックを特定したデータを予め用意しておき、そのデータに遅延時間の平均値や偏差を当てはめることが考えられる。この場合、さらに、遅延時間の貸し借り量とウエル電圧値との対応をテーブルに記憶させておき、上記のデータに当てはめた遅延時間の貸し借り量に対応するウエル電圧値をテーブルから読み出す。このような処理は、例えば、ウエル電圧値設定部22により行われる。

#### 【0101】

続いて、上記のように構成されるタイミング調整システムによるタイミング調整の具体例について説明する。

#### 【0102】

図13は、タイミング調整の実際の具体例としてDSP(Digital Signal Processor)などに用いられる積和演算器の構成を示している。また、図14(a)は、積和演算器の各ブロックに供給するクロックを調整するクロックタイミング調整回路CTA1~CTA3を示し、図14(b)は、クロックタイミング調整

回路 CTA1～CTA3 によるクロック調整動作のタイムチャートを示している。図 15 は、積和演算器の動作を示すタイムチャートである。

#### 【0103】

図 13 に示すように、積和演算器は、アドレス発生器 (ADD) 51, 52、RAM 53, 54、乗算器 (MPY) 55 およびアキュムレータ (ACC) 56 によって構成されている。アドレス発生器 51, 52 は、クロック CLK (RA) のタイミングで 6 ビットのアドレスを発生する。RAM 53, 54 は、それぞれアドレス発生器 51, 52 で発生したアドレスに応じた 16 ビットのデータを読み出す。乗算器 55 は、クロック CLK (MPY) のタイミングで RAM 53, 54 からの 2 つのデータを乗算する。アキュムレータ 56 は、クロック CLK (ACC) のタイミングで乗算器 55 の 32 ビットの乗算データに自己の出力データを加算する。また、上記のアドレス発生器 51, 52、乗算器 55、アキュムレータ 56 に入力されたデータは、それぞれクロック CLK (RA), CLK (MPY), CLK (ACC) の立ち上がりにてラッチされる。つまり、アドレス発生器 51, 52、乗算器 55 およびアキュムレータ 56 は、ラッチとしての機能を有している。

#### 【0104】

上記の積和演算器において、アドレス発生器 51, 52 および RAM 53, 54 は回路ブロック CB1 に含まれ、乗算器 55 は回路ブロック CB2 に含まれ、アキュムレータ 56 は回路ブロック CB3 に含まれるとする。また、乗算器 55 の遅延時間は RAM 53, 54 やアキュムレータ 56 の遅延時間と比較して長いと仮定し、現状のクロック周波数においては乗算器 55 の動作速度が不足しているものとする。

#### 【0105】

図 14 (a) に示すように、クロックタイミング調整回路 CTA1, CTA2, CTA3 は、入力クロック CLKIN の調整を行うことによって、それぞれ、アドレス発生器 51, 52 へのクロック CLK (RA), 乗算器 55 へのクロック CLK (MPY), アキュムレータ 56 へのクロック CLK (ACC) を出力する。クロックタイミング調整回路 CTA1～CTA3 によるクロックタイミン

グの調整では、図 14 (b) に示すように、クロック CLK (RA) をクロック CLK (MPY) に対して時間  $T_{pd1}$  だけ遅らせ、クロック CLK (ACC) をクロック CLK (MPY) に比較して時間  $T_{pd2}$  だけ遅らせている。これにより、図 15 に示すように、時間がかかる乗算器 55 の処理に、アキュムレータ 56 の速い処理に対して恒常的に時間  $T_{pd2}$  の余裕が生じることがわかる。これにより、乗算器 55 は正しく動作するようになる。また、このとき、外部から見たクロック周波数は不変であるため、実質的に積和演算器の動作周波数が高くなったことになる。

#### 【0106】

このように、本タイミング調整システムを用いて、動作の遅いブロックと早いブロックとで遅延時間の貸し借りを行うことによって、LSI 全体の処理時間の最適化を行うことができる。

#### 【0107】

なお、ブロックの数が非常に多くなり、時間の貸し借りのアルゴリズムが複雑になる場合には、データ伝送経路などと組合わせた多くのパラメータを調整するための遺伝的アルゴリズムなどの手法を用いて処理を行うことが好ましい。

#### 【0108】

図 16 は、クロックタイミング調整回路 CTA による遅延時間調整効果（シミュレーション結果）を示している。

#### 【0109】

図 16 に示すように、ウエル電圧未調整の場合（P ウエル電圧 = 0 V, N ウエル電圧 = 1.2 V）の遅延時間は、パルスの立ち上がりの遅延時間 1.12 ns とパルスの立ち下がりの遅延時間 1.08 ns との平均の遅延時間 1.10 ns である。しかしながら、両方のウエルに逆方向バイアス電圧（閾値電圧が高くなる方向で、P ウエル電圧 = -0.5 V, N ウエル電圧 = 1.7 V）を印加した場合の遅延時間（立ち上がり遅延時間 1.92 ns と立ち下がり遅延時間 1.88 ns との平均）は 1.90 ns であり、74% 増加する。逆に、両方のウエルに順方向バイアス電圧（閾値電圧が低くなる方向で、P ウエル電圧 = 0.5 V, N ウエル電圧 = 0.7 V）を印加した場合の遅延時間（立ち上がり遅延時間 0.9 ns と立

ち下がり遅延時間 0.9 との平均) は 0.90 ns であり、20% の減少となる。以上の結果から、ウエル電圧の調整によって十分な調整範囲を確保できることがわかる。

#### 【0110】

順方向のバイアス電圧は、PN 接合のリーク電流の関係で各々 0.5 V 付近が限界と考えられるが、逆方向のバイアス電圧は更にバイアス値を大きくして遅延量を増加させることができる。

#### 【0111】

図 17 は、本タイミング調整システムが、タイミング遅延のみならず、波形の立ち上りおよび立ち下り特性を調整することにより、クロックのデューティサイクルの調整にも大きな効果を発揮することを示している。

#### 【0112】

図 17 に示すように、両方のウエルに順方向バイアス電圧 (タイプ I) を印加した場合、および両方のウエルに逆方向バイアス電圧 (タイプ II) を印加した場合は、図 16 に示すようなタイミング遅延の増減の調整であるが、タイプ III およびタイプ IV のように一方のウエルに順方向バイアス電圧、他方のウエルに逆方向バイアス電圧をかけた場合には、波形のデューティサイクルを変化させることができる。これにより、高速回路などでよく用いられるクロックの両エッジを用いた回路のタイミング調整に大きな効果を発揮する。

#### 【0113】

なお、本タイミング調整システムによるタイミング調整は、クロック以外の信号のタイミング調整やデューティサイクル調整にも適用が可能であるし、LSI の不良解析、信号波形のスルーレート調整などにも適用が可能である。

#### 【0114】

##### 【発明の効果】

以上のように、本発明の信号タイミング調整装置は、複数の調整電圧を発生する電圧発生部と、集積回路の各回路ブロックにデータが入力されてから出力されるまでの遅延時間が各回路ブロック間でその平均値に近づくように設定された遅延時間調整量に応じた調整電圧を前記調整電圧から選択する電圧選択部と、選択

された調整電圧の値に応じて閾値電圧が変化するトランジスタによって前記遅延時間を増減する遅延調整部とを備えている構成である。

#### 【0 1 1 5】

このように、電圧選択部によって複数の調整電圧から設定された遅延時間調整量に応じた調整電圧を選択して、遅延調整部によって、選択された調整電圧の値に応じてトランジスタの閾値電圧を変化させることで信号の遅延時間の増減が調整される。これにより、各回路ブロックの遅延時間がその平均値に近い値に調整される。このように、予め各回路ブロック間の差が小さくなるように設定された調整電圧の値に応じて信号の遅延時間を調整するので、調整パラメータが電圧のみとなる。それゆえ、調整電圧を連続的に変化させたり、調整電圧の数を増加させたりするだけで、調整範囲やステップを増加させることができる。したがって、回路規模を増大させることなく、調整の自由度を確保することができるという効果を奏する。

#### 【0 1 1 6】

前記の信号タイミング調整装置においては、遅延時間を測定する遅延測定部を備えていることにより、遅延時間の測定から、調整電圧の発生、調整電圧の選択および遅延時間の調整に至る処理を信号タイミング調整装置において一貫して行うことができる。

#### 【0 1 1 7】

前記の信号タイミング調整装置において、前記遅延測定部は、パルスを高速クロックに同期して発生し、前記パルスの発生タイミングを前記高速クロックの 1 クロック単位でシフトするパルス発生部と、前記回路ブロックから出力されたデータを低速クロックに同期して取り込んで保持するラッチと、前記回路ブロックから出力されたデータを前記パルスに同期して取り込んで保持するレジスタとを有している。

#### 【0 1 1 8】

これにより、ラッチに低速クロックに同期してデータを取り込まれた正しいデータとレジスタに保持されたデータとを比較して、両者が一致していれば、レジスタにも正しいデータが保持されていたことになる。そして、その場合のラッチ

にデータが取り込まれたタイミングとレジスタに正しいデータが取り込まれたタイミングとで回路ブロックの遅延時間を測定することができる。また、レジスタにデータを取り込むタイミングが高速クロックに同期したパルスで定まるので、回路ブロックからデータが出力されてから最短で高速クロック 1 クロック以内にそのデータをレジスタに取り込むことができる。それゆえ、遅延時間の特定を高速クロックの精度で行うことができる。さらに、パルスの発生タイミングが高速クロックの 1 クロック単位でシフトするので、パルスをシフトさせることで、レジスタによるデータの取り込みタイミングを調整することにより、両データが一致する時期を特定することができる。また、レジスタによるデータの取り込みタイミングの調整により、両データが一致した状態で、レジスタが回路ブロックによるデータの出力時点から最短にデータを取り込むタイミング特定することができる。したがって、高精度に遅延時間を測定することができる。

#### 【0119】

前記の信号タイミング調整装置において、前記トランジスタのウエルが同一基板に形成される他の回路のウエルから分離され、前記調整電圧が前記トランジスタのウエルに印加されることにより、その遅延時間調整量に対応したウエル電圧値を他の回路と独立して印加することができる。したがって、目標とする調整を容易に行うことができる。

#### 【0120】

前記の信号タイミング調整装置は、いずれも前記集積回路に内蔵されることにより、集積回路のパッケージや測定装置に起因する浮遊容量などの影響を受けることがなく、正確に遅延時間に測定することができる。

#### 【0121】

また、集積回路に内蔵された信号タイミング調整装置は、前記遅延時間調整量を固定する固定部を備えていることにより、集積回路の出荷後でも、外部装置から遅延時間調整量が与えられなくても、固定部により固定された遅延時間調整量を用いて遅延調整部による信号のタイミング調整を行うことができる。

#### 【0122】

本発明の信号タイミング調整システムは、前記のいずれかの信号タイミング調



整装置と、前記遅延測定部によって測定された前記遅延時間の平均値を算出する平均値算出部と、前記遅延時間と算出された平均値との差が少なくなるように前記遅延時間調整量を設定する調整量設定部とを備えている構成である。

#### 【0123】

これにより、調整量設定部によって、遅延時間調整量が、遅延時間と平均値算出部によって算出された平均値との差が少なくなるように調整された結果、信号タイミング調整装置に与える遅延時間調整量が生成される。このように、複雑な演算処理を必要とする平均値算出部および調整量設定部を信号タイミング調整装置と別途設けることにより、タイミング調整処理を効率的に行うことができる。

#### 【0124】

本発明の信号タイミング調整量設定プログラムは、前記の信号タイミング調整システムにおいて、コンピュータを前記平均値算出部、前記調整量設定部として機能させるので、LSI テスタなどの外部装置によって、容易に遅延時間調整量や設定値を設定することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の実施の一形態に係るタイミング調整システムにおいてLSI側のタイミング調整部の構成を詳しく示したブロック図である。

##### 【図2】

上記タイミング調整システムの概略構成を示すブロック図である。

##### 【図3】

上記タイミング調整システムによるタイミング調整の手順を大まかに示したフローチャートである。

##### 【図4】

(a) は上記タイミング調整部におけるクロックタイミング調整回路の構成を示す回路図であり、(b) は上記クロックタイミング調整回路における調整部のインバータの構成を示す回路図である。

##### 【図5】

上記クロックタイミング調整回路における要部のデバイス構造を示す断面図で

ある。

【図 6】

上記タイミング調整部における調整電圧発生回路およびセクタの構成を示すブロック図である。

【図 7】

上記セクタにおけるセクタ回路の構成を示す回路図である。

【図 8】

上記タイミング調整部におけるプログラマブルタイミング発生回路の構成を示すブロック図である。

【図 9】

上記プログラマブルタイミング発生回路で発生した各種クロックに基づく各回路ブロックでの遅延時間の測定時の上記タイミング調整部における各部の動作を示すタイムチャートである。

【図 10】

上記プログラマブルタイミング発生回路で発生した各種クロックに基づく各回路ブロックでの遅延時間の測定時の上記タイミング調整部における各部の他の動作を示すタイムチャートである。

【図 11】

上記タイミング調整システムにおける L S I テスタが行うタイミング調整処理の手順を示すフローチャートである。

【図 12】

上記遅延時間の調整処理の前後での L S I の各ブロックの動作周波数を示すグラフである。

【図 13】

上記タイミング調整システムによる遅延時間調整の対象となる積和演算器の構成を示すブロック図である。

【図 14】

(a) は積和演算器の各ブロックに供給するクロックを調整するクロックタイミング調整回路の構成を示すブロック図であり、(b) は上記クロックタイミン

グ調整回路によるクロック調整動作を示すタイムチャートである。

【図 15】

上記積和演算器の動作を示すタイムチャートである。

【図 16】

上記タイミング調整システムによる遅延時間の調整効果を示すグラフである。

【図 17】

上記タイミング調整システムによるクロックのデューティサイクルの調整効果を示す図である。

【図 18】

従来のクロックスキュー検出および調整のための回路の構成を示す回路図である。

【図 19】

従来のクロックスキュー補償回路の構成を示す回路図である。

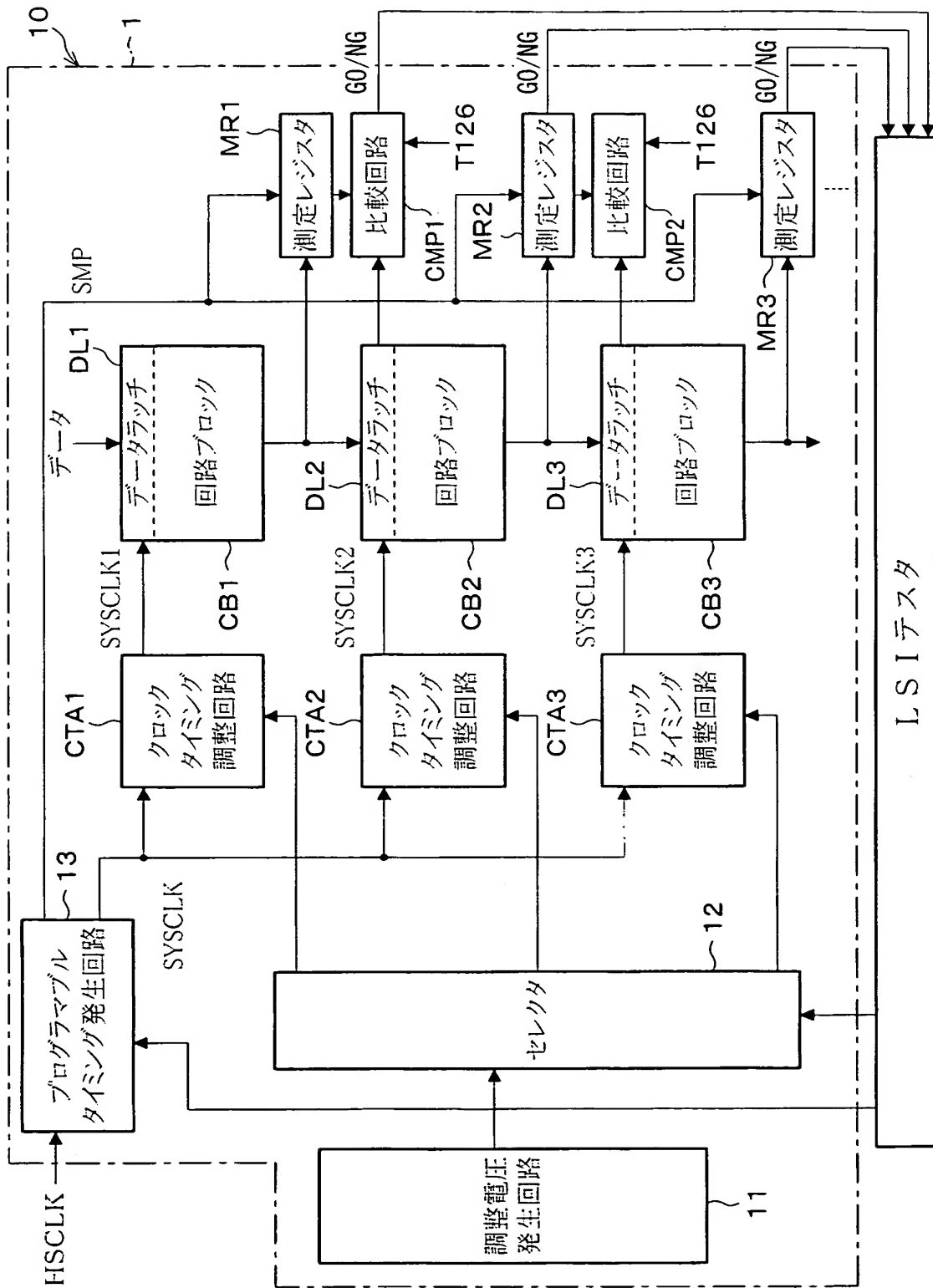
【符号の説明】

1	L S I (集積回路)
2	L S I テスタ
1 1	調整電圧発生回路 (電圧発生部)
1 2	セレクタ (電圧選択部)
1 3	プログラマブルタイミング発生回路
2 1	平均値算出部
2 2	ウエル電圧値設定部 (調整量設定部)
2 3	調整制御部
3 0	調整部
3 2	インバータ
3 3	インバータ
4 1	P ウエル (ウエル)
4 2	N ウエル (ウエル)
1 3 1	同期式ダウンカウンタ
1 3 2	サンプリングパルス発生回路 (パルス発生部)

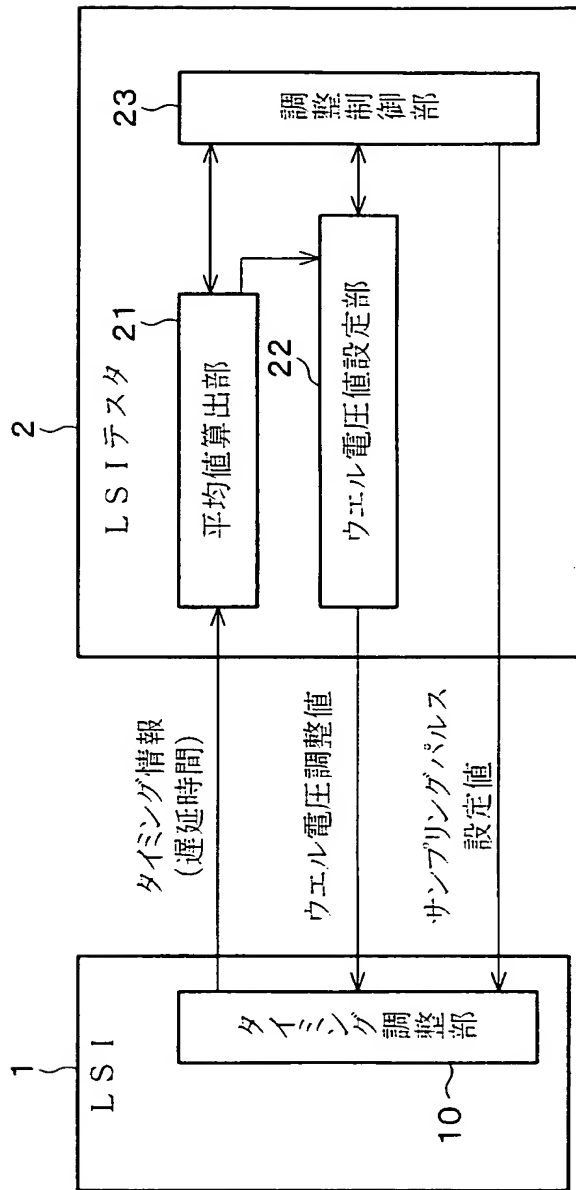
1 3 3	一致検出回路
CB 1 ~ CB 3	回路ブロック
CPM 1 ~ CPM 3	比較回路
CTA 1 ~ CTA 3	クロックタイミング調整回路 (遅延調整部)
DL 1 ~ DL 3	データラッチ (ラッチ)
F	ヒューズ (固定部)
MR 1 ~ MR 3	測定レジスタ (レジスタ)
TRN	NMOS トランジスタ (トランジスタ)
TRP	PMOS トランジスタ (トランジスタ)
VNW	N ウェル電圧
VPW	P ウェル電圧

【書類名】 図面

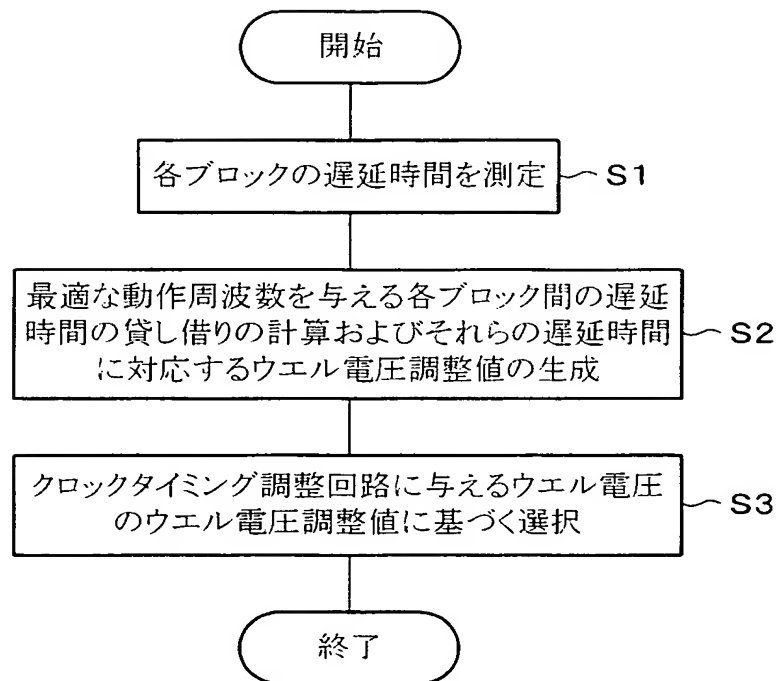
【図 1】



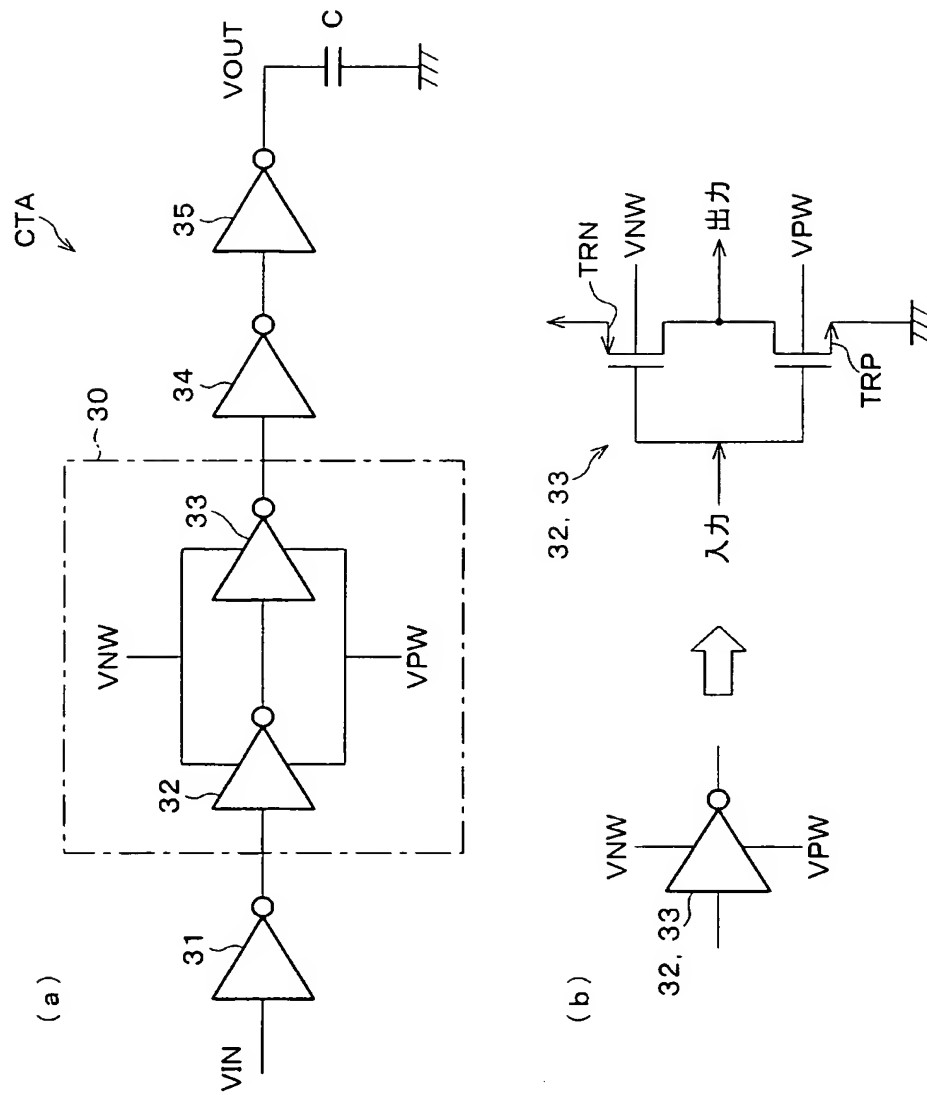
【図 2】



【図 3】

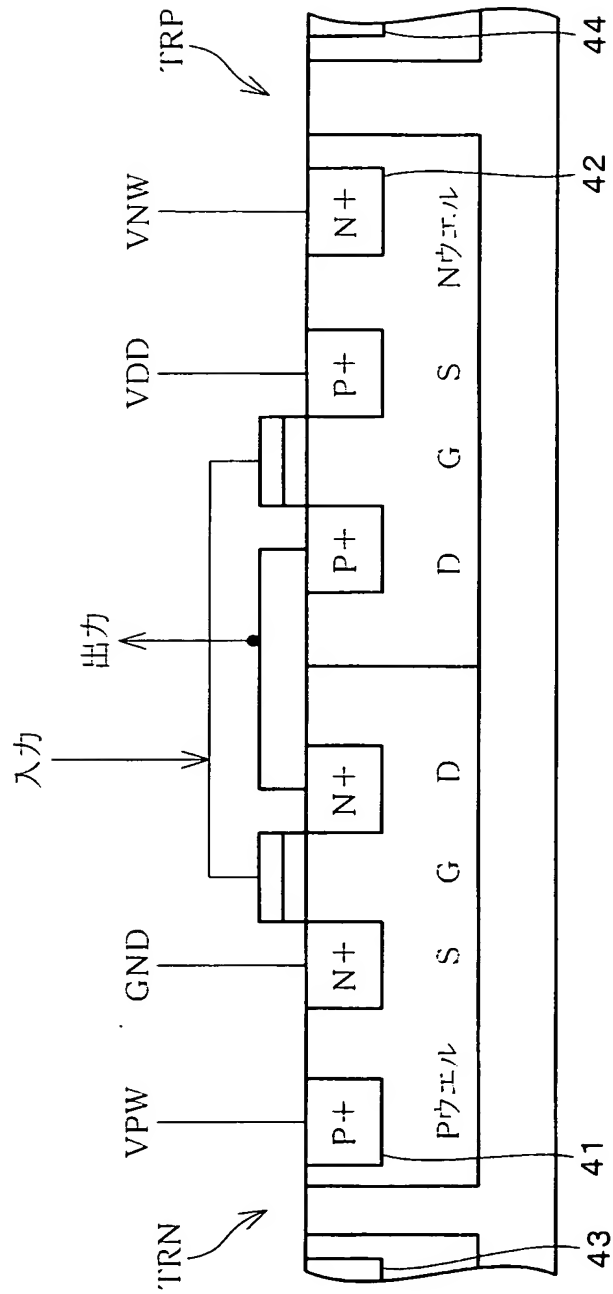


【図 4】

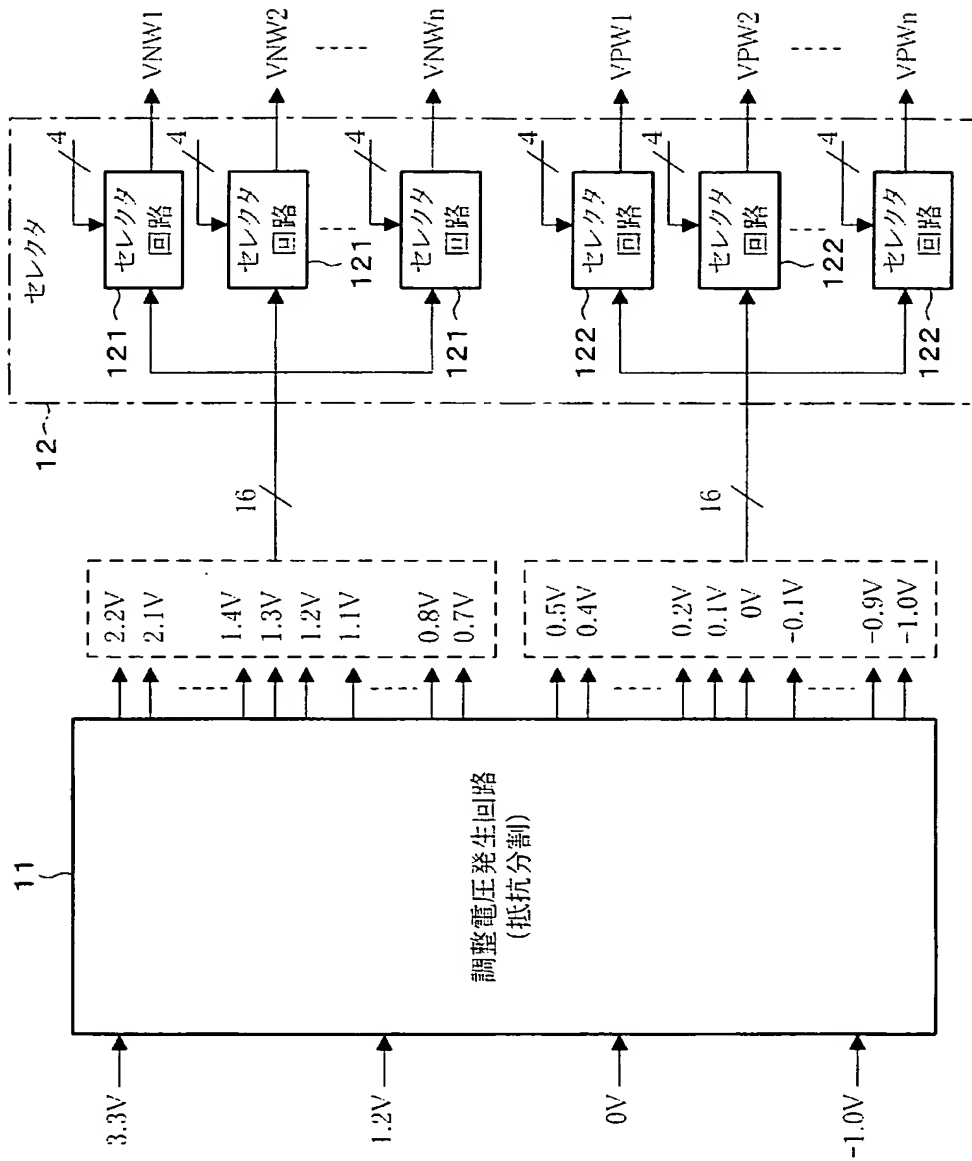




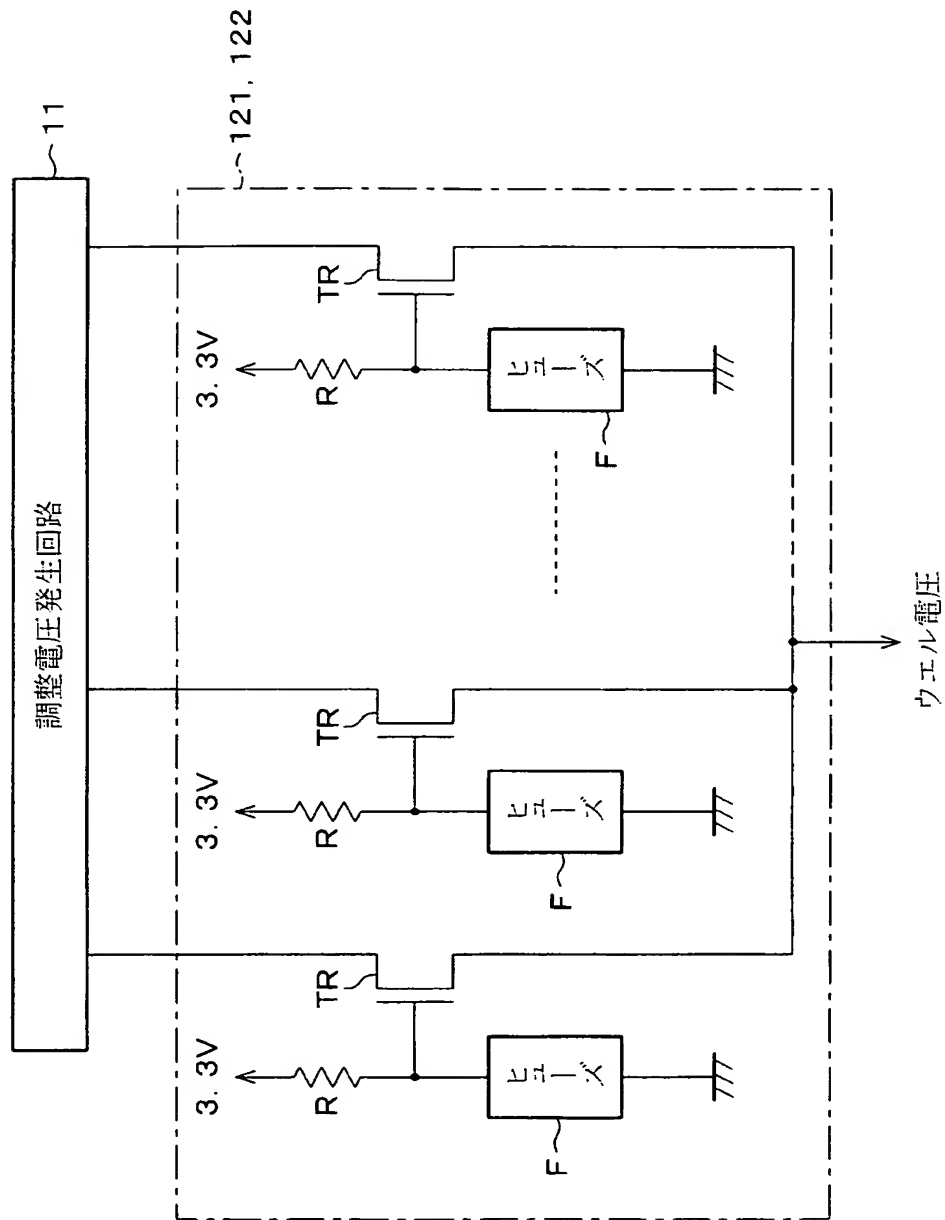
【図 5】



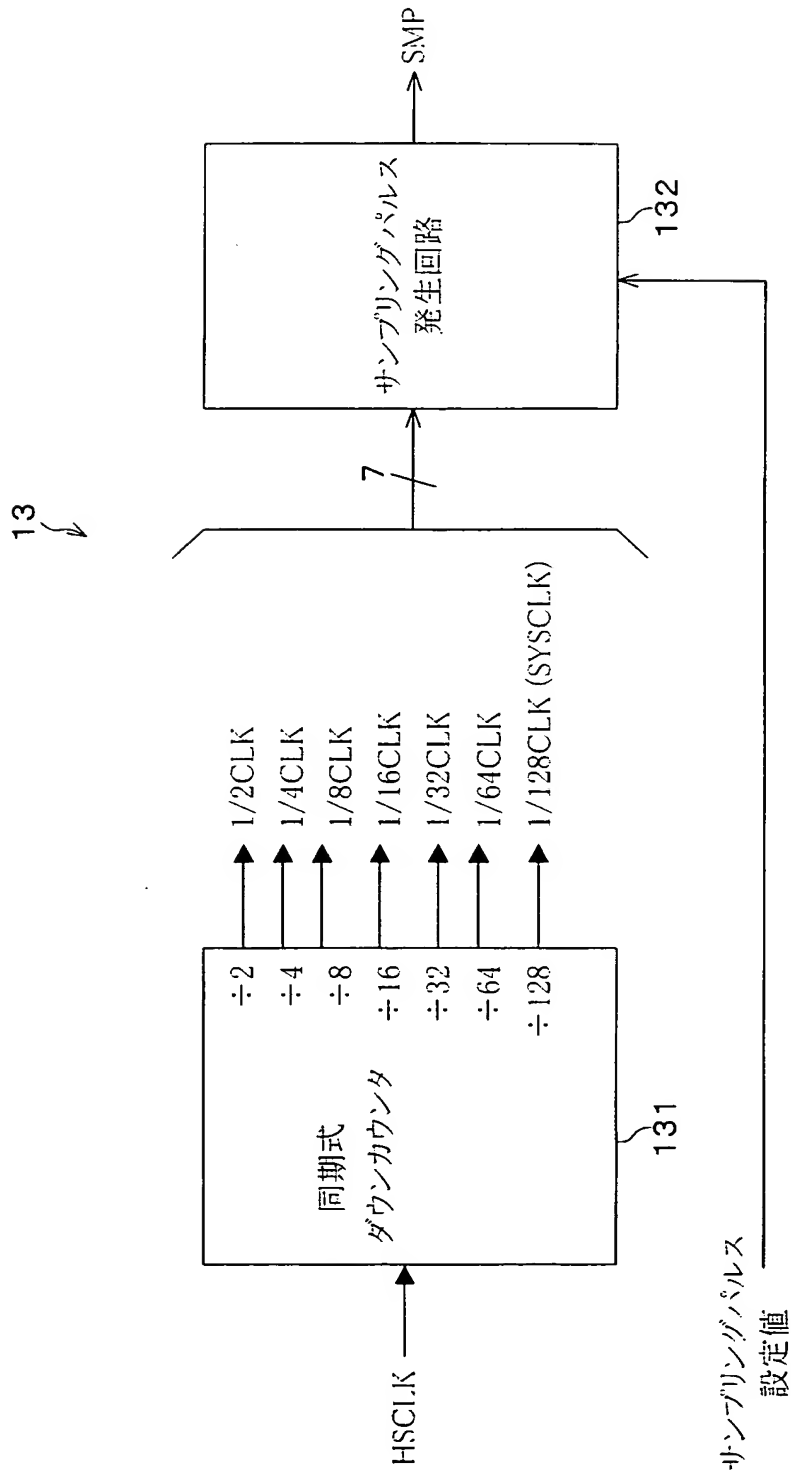
【図6】



【図 7】

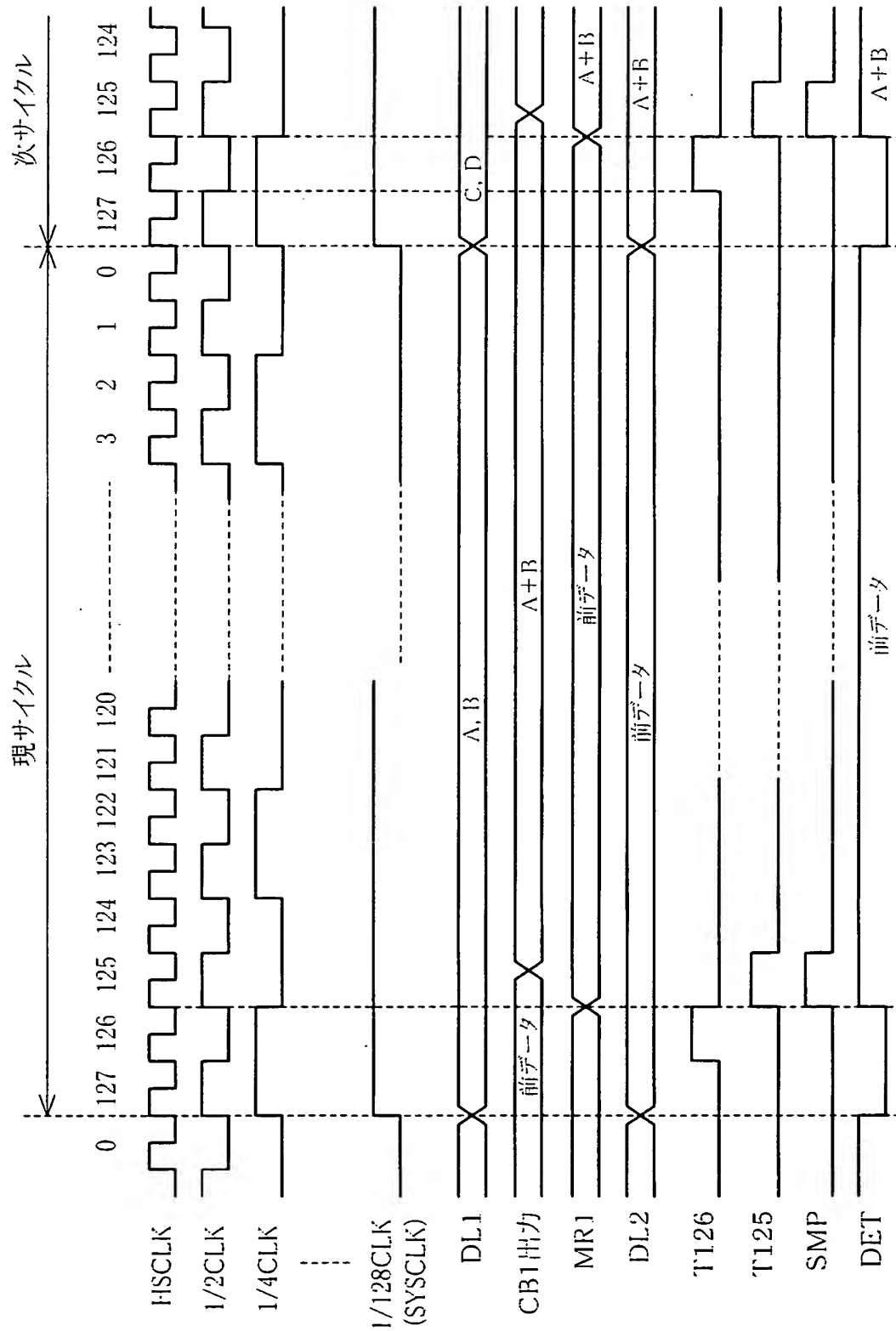


【図 8】

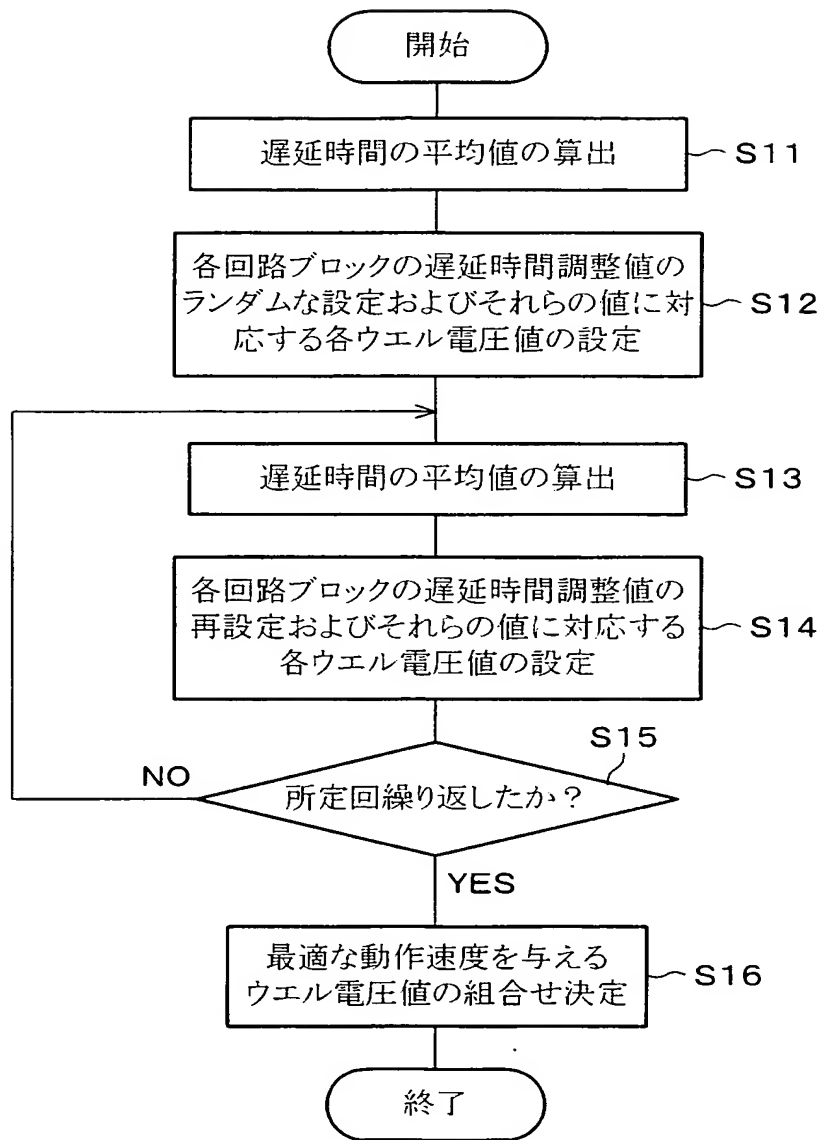




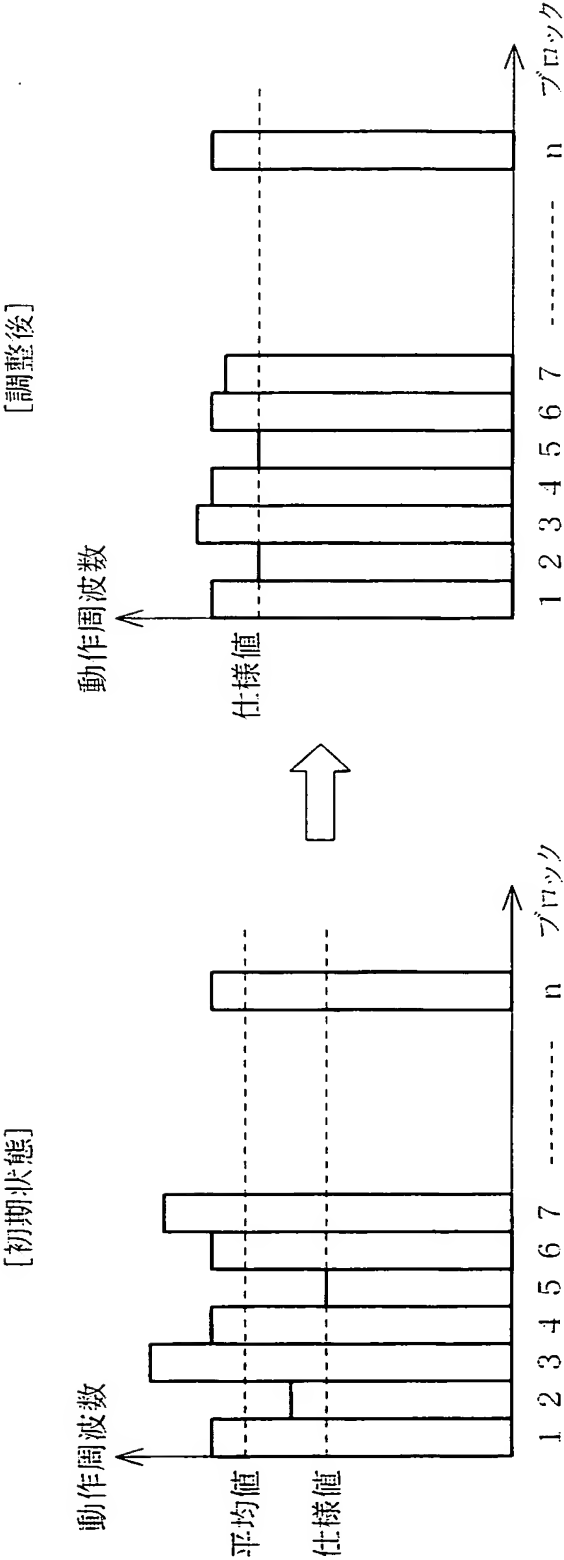
【図 10】



【図 11】

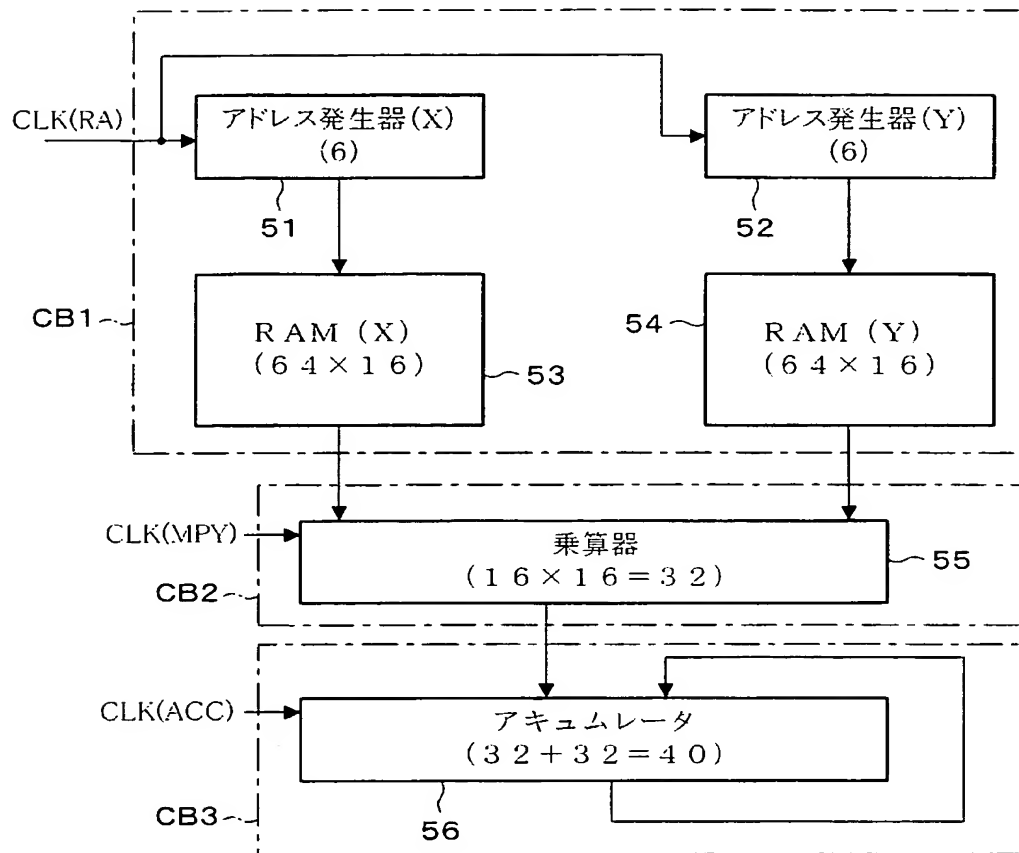


【図 12】

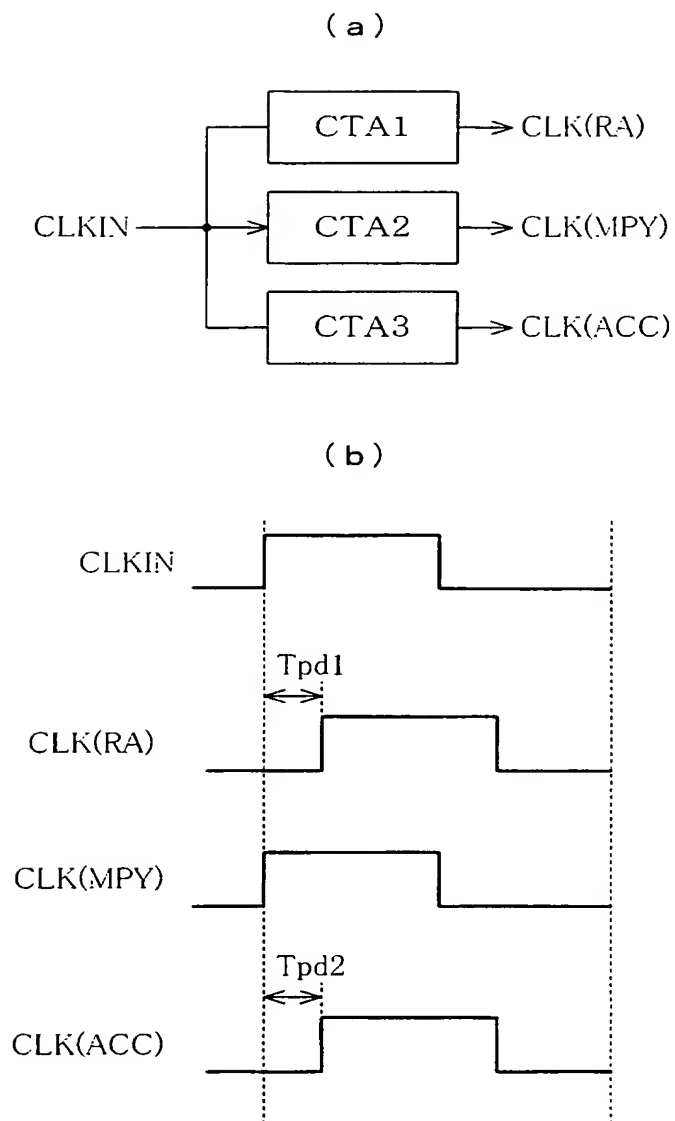




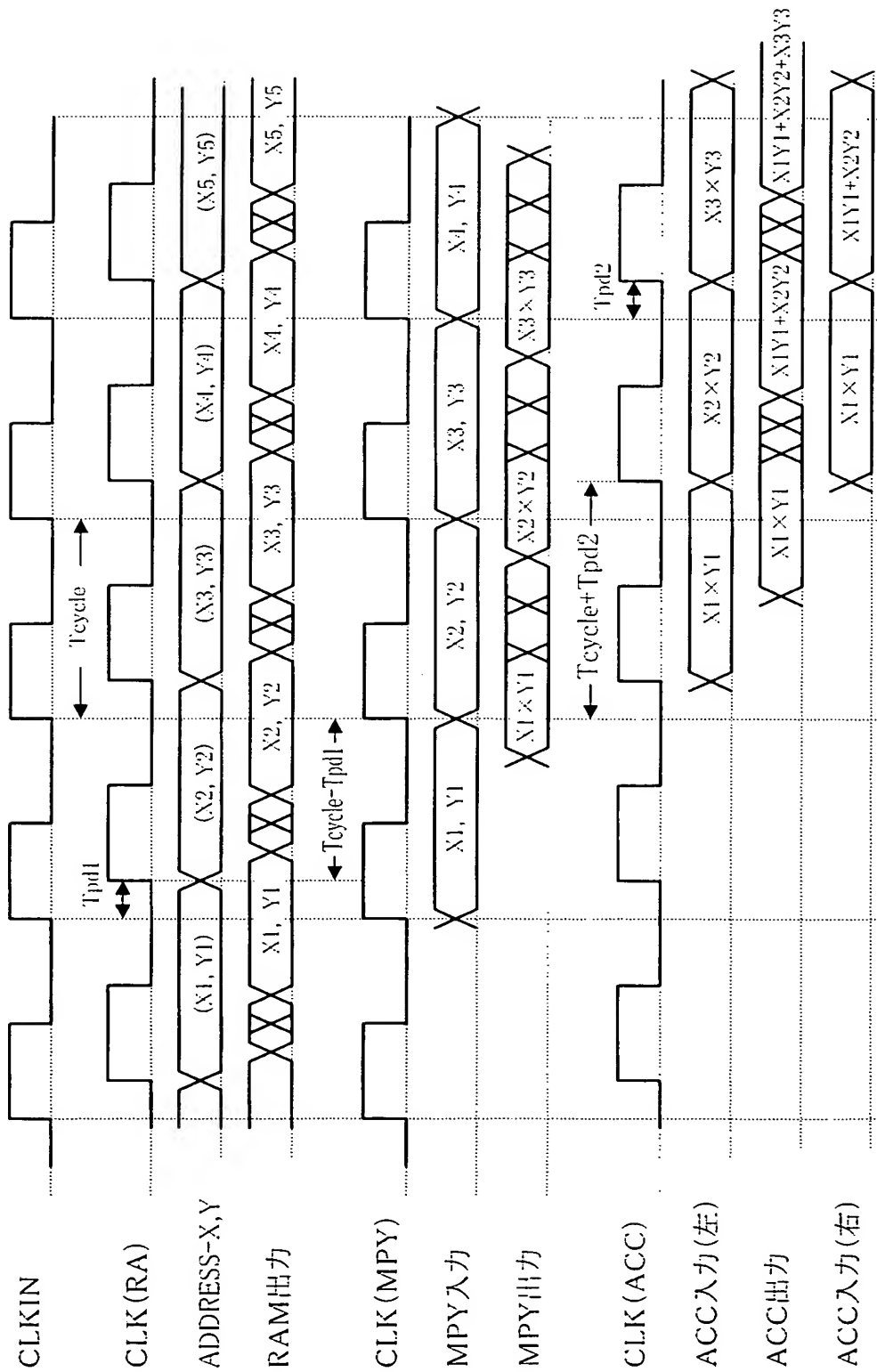
【図 13】



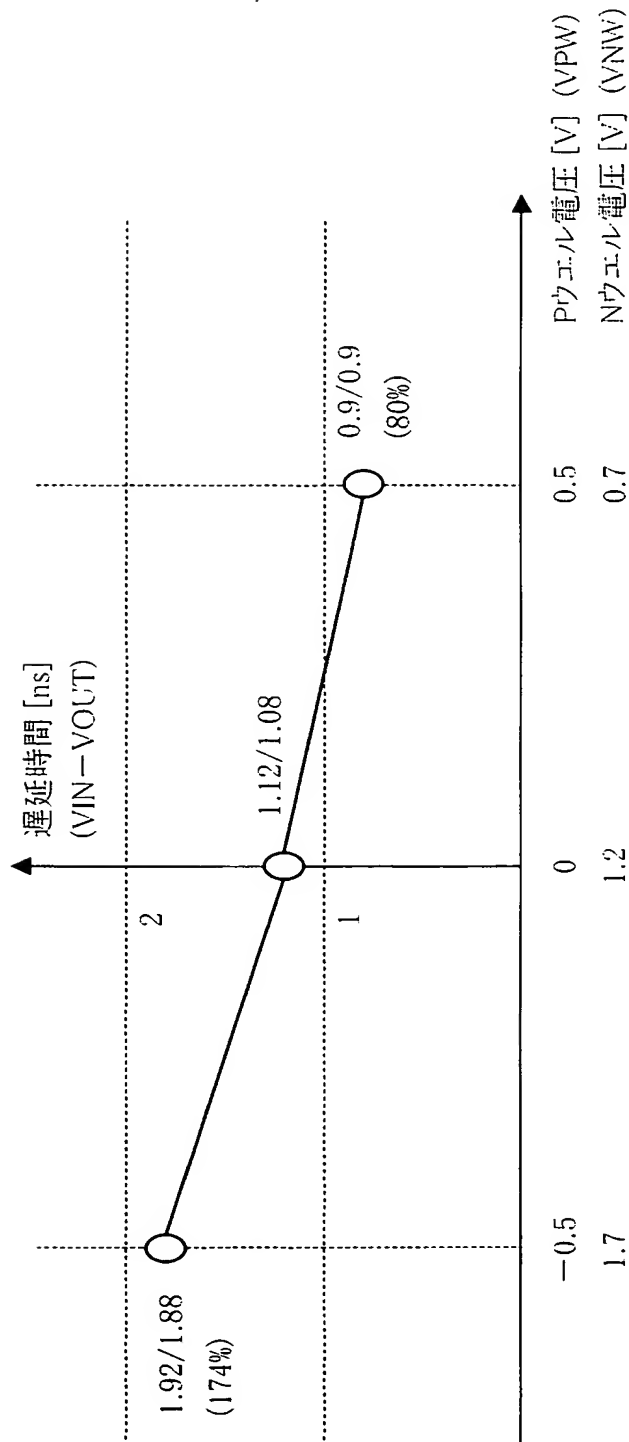
【図 14】



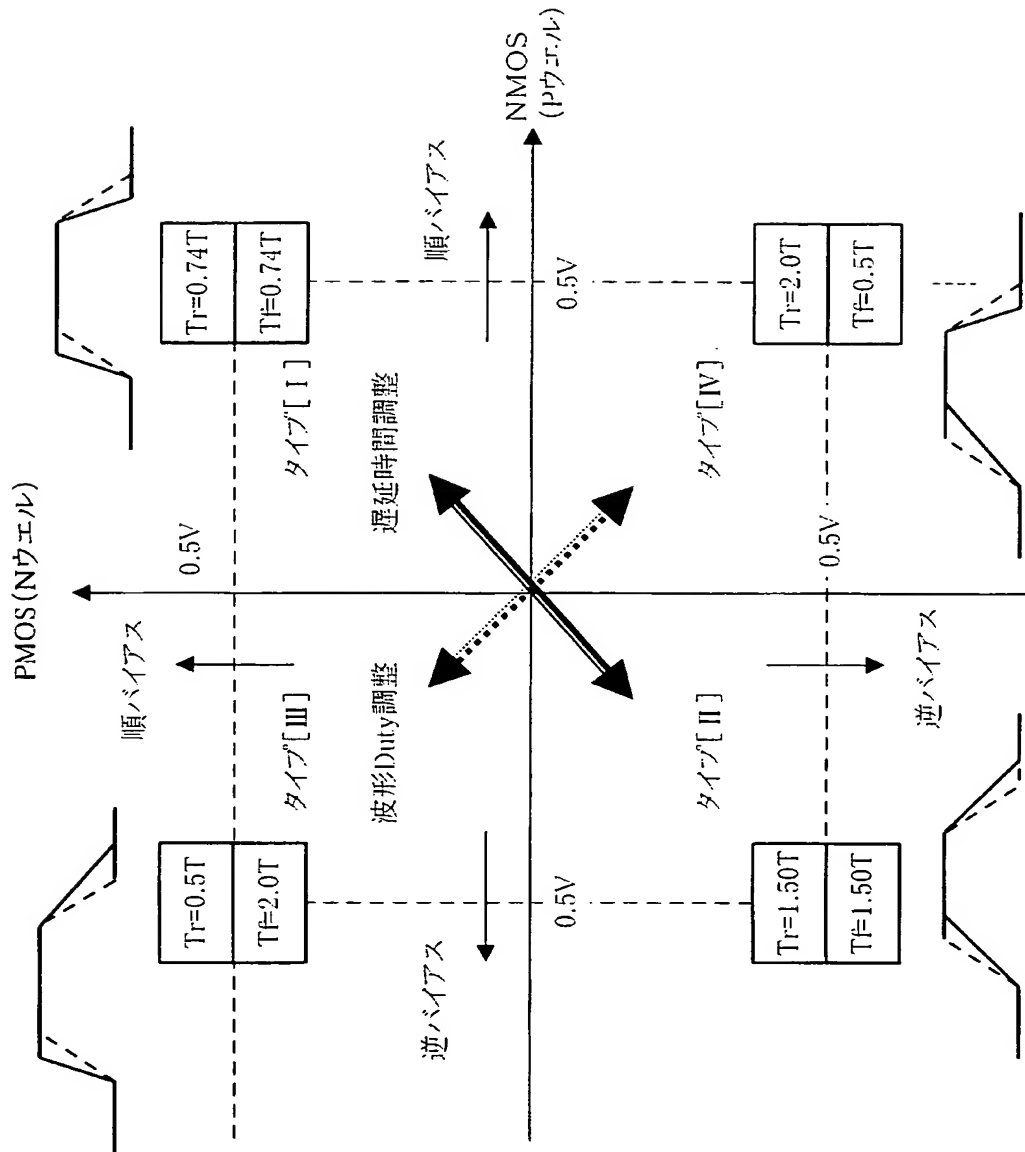
【図 15】



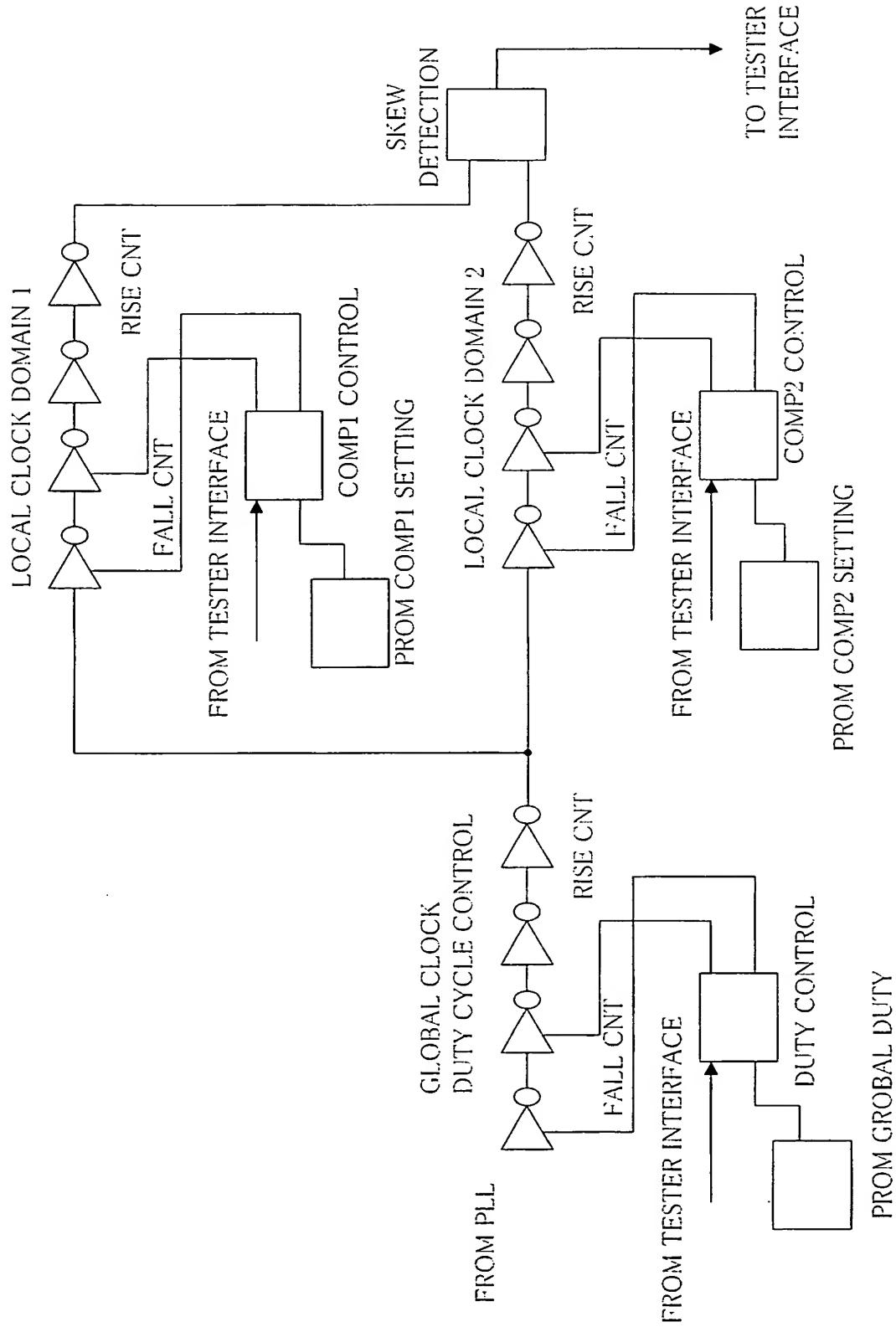
【図 16】



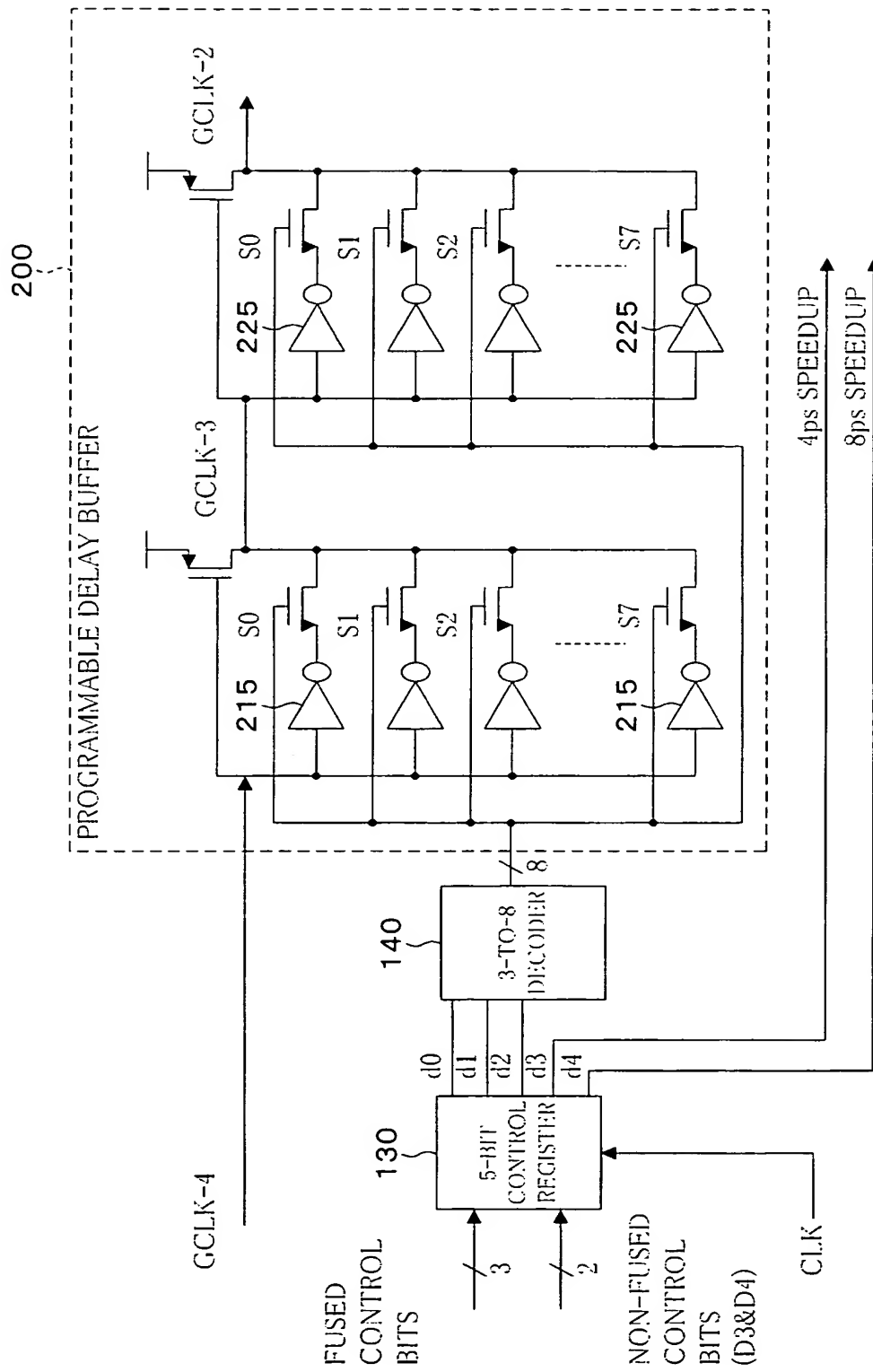
【図 17】



【図 18】



【図19】



【書類名】 要約書

【要約】

【課題】 集積回路において、回路規模を増大させることなくクロック等の信号タイミングを連続的に調整する。

【解決手段】 回路ブロックCB1からのデータを測定レジスタMR1に取り込んだタイミングと、回路ブロックCB1からのデータをデータラッチDL2に取り込んだタイミングに基づいて、回路ブロックCB1にデータが入力されてから出力されるまでの遅延時間を測定する。LSIテスト2は、回路ブロックCB1～CB3の各遅延時間が平均化されるようにウエル電圧調整値を設定する。セレクト12は、ウエル電圧調整値に応じた電圧を調整電圧発生回路11で発生した電圧から選択する。クロックタイミング調整回路CTA1～CTA3におけるCMOSトランジスタのウエルに選択された電圧を印加することで、入力されるクロックのタイミングの遅延時間を調整する。

【選択図】 図1



特願 2 0 0 3 - 0 9 7 0 0 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社

特願 2 0 0 3 - 0 9 7 0 0 7

出 願 人 履 歴 情 報

識別番号

[ 3 0 1 0 2 1 5 3 3 ]

1. 変更年月日

2 0 0 1 年 4 月 2 日

[変更理由]

新規登録

住 所

東京都千代田区霞が関 1 - 3 - 1

氏 名

独立行政法人産業技術総合研究所